

CIATEQ, A. C. Centro de Tecnología Avanzada
Dirección de Posgrado



*Método de prueba alterno para validación eléctrica del
circuito receptor de USB 2.0*

TESIS QUE PRESENTA

Ing. Marcos Alberto Camarena Rivera
Asesor: Dr. Noé Amir Rodríguez Olivares

Para obtener el grado de

Maestro en
Sistemas Inteligentes Multimedia

Zapopan, Jalisco
Diciembre 2020

CARTA DE LIBERACIÓN DEL ASESOR

Querétaro, Qro, 13 de noviembre del 2020

Mtro. Geovany González Carlos
Coordinador Académico de Posgrado
CIATEQ, A.C.

El abajo firmante, miembro del Comité Tutorial del **Ing. Marcos Alberto Camarena Rivera**, una vez revisado su Proyecto Terminal de tesis/tesina, titulado "**Método de Prueba Alterno para Validación Eléctrica del Circuito Receptor de USB 2.0**", **autorizo** que el citado trabajo sea presentado por el alumno para su revisión, con el fin de alcanzar el grado de **Maestro en Sistemas Inteligentes Multimedia**.

Sin otro particular por el momento, agradezco la atención prestada.

Firma



Dr. Noé Amir Rodríguez Olivares

Asesor Académico

CARTA DE LIBERACIÓN DEL REVISOR

Guadalajara, Jalisco, 07 de Diciembre del 2020.

Dra. María Guadalupe Navarro Rojero
Directora de Posgrado
CIATEQ, A.C.

Por medio de la presente me dirijo a usted en calidad de Revisor del proyecto terminal del alumno **Marcos Alberto Camarena Rivera**, cuyo título es:

**"Método de Prueba Alterno para Validación Eléctrica
del Circuito Receptor de USB 2.0"**

Después de haberlo leído, corregido e intercambiado información con el alumno, y realizado los cambios que le fueron sugeridos, puede ser autorizada su impresión, a fin de que se inicien los trámites correspondientes para su defensa.

Sin otro particular por el momento, y en espera de que mis sugerencias sean tomadas en cuenta en beneficio del estudiante y la Institución, agradezco la atención prestada.

Atentamente,

Firma



Mtro. Héctor Edmundo Ramírez Gómez

AGRADECIMIENTOS

El autor desea expresar su sincero agradecimiento al Dr. Noé Amir Rodríguez Olivares, asesor de esta tesis, por su motivación y orientación experta a través del desarrollo de este trabajo de investigación. El autor desea también agradecer a José Rico Espino, Miguel Medina Camacho y Martha Mogollán Jiménez, miembros del Comité de Tesis de Maestría, así como al Mtro. Edmundo Ramírez, revisor de esta tesis, por su interés y sugerencias para mejorar la calidad de este documento.

Es un honor para el autor agradecer la valiosa colaboración y las útiles discusiones técnicas con sus compañeros de trabajo de *Intel® Corporation*: Jia Jun Lee (JJ), Chetan Rajashekhariah, Mee Fong Leong, Yen Mai, Andrea Nguyen, Chin Weng Low, Luis Arredondo Sandoval, Diego Castañeda González, Jorge Ascencio Blancarte, Efrén López Juárez, Alejandro Herrera Favela y Luis Gudiño García.

El autor agradece también a cada uno de los profesores de este programa de maestría por su entusiasmo y dedicación en la impartición de las materias, lecciones de vida compartidas y valiosas enseñanzas recibidas.

El autor agradece la asistencia económica otorgada por el Consejo Nacional de Ciencia y Tecnología (CONACYT), a través del otorgamiento de una beca para estudios de maestría; así como el soporte económico adicional y las facilidades otorgadas por parte de *Intel® Corporation* para estudios de postgrado.

* * *

RESUMEN

Cuando un nuevo diseño de microprocesador sale del proceso de fabricación, cientos o incluso miles de ingenieros en todo el mundo colaboran para efectuar el encendido inicial en una plataforma de validación, posteriormente se somete a un proceso extensivo de pruebas que puede durar semanas o meses para asegurar que el diseño es correcto y descubrir cualquier error. El diseño entonces es mejorado y se envía de regreso a la fábrica para producir una nueva versión. Una vez que el microprocesador pasa todas las pruebas completas de validación a nivel sistema y cumple con los criterios de calidad esperados, es entonces cuando se encuentra listo para la producción masiva. Una etapa fundamental en las actividades de prueba es la Validación Eléctrica de las diferentes interfaces contenidas en un nuevo diseño de microprocesador, una de las cuales corresponde al bloque circuitos de USB 2.0.

La Validación Eléctrica de USB 2.0 en Velocidad Alta para circuitos receptores, que se ha utilizado en múltiples generaciones de microprocesadores de Intel®, se basa en la prueba de conformidad eléctrica de Sensibilidad del Receptor en Modo Device; definida por el Foro de Implementadores de USB (USB-IF, 2000), se ejecuta en Modo Dual de funcionamiento (*Host* y *Device*) bajo sistema operativo Windows.

Esta investigación presenta una nueva estrategia de prueba para el circuito receptor de USB 2.0 encaminada hacia el desarrollo de una manera simplificada y conveniente de ejecutar la prueba en Modo *Host* y eliminar las dependencias de Windows y el controlador de USB para habilitar USB2 Modo *Device*.

Desarrollada en el Centro de Diseño de Intel® Guadalajara durante 2019, esta prueba redujo drásticamente el tiempo requerido para asegurar la Validación Eléctrica del circuito receptor de USB 2.0 en las primeras versiones de productos. Se pretende que este nuevo método de prueba sea la opción preferida para las actividades de validación a través de las diferentes unidades de negocio y segmentos de productos.

Palabras clave: USB 2.0, Validación eléctrica, Sensibilidad de receptor.

ABSTRACT

As a new design of microprocessor comes out of the fabrication process, hundreds or even thousands of engineers worldwide go into high gear to power it on for the first time in a validation platform, then it will go through an extensive validation cycle that can last from weeks to months, to ensure the design is correct and with the goal to uncover any bugs. The design is then improved and sent back to the Fab to produce a new revision. Once a microprocessor passes all the complete set of validation tests at system level and complies with stringent quality criteria, then it's ready for mass production.

A key part of the test activities is the Electrical Validation of the different interfaces contained in the new design of the microprocessor, and one of these corresponds to the USB 2.0 circuit blocks.

Electrical validation of USB 2.0 High Speed receiver, used for multiple generations of Intel ® products, has been relying on Compliance Receiver Sensitivity test method performed in Device Mode, as defined by USB Implementers Forum (USB-IF, 2000). The test is executed with the USB controller enabled as Dual Role (Host and Device) within Windows OS.

This investigation presents a new test strategy aimed at developing a more simplified and convenient test method performed in Host Mode. New test emerged as a better alternative to eliminate the dependencies from Windows OS and the USB driver to enable Device Mode and achieve dual-role support.

Deployed during 2019 at Intel ® Guadalajara Design Center, this new test dramatically reduced the required time to start Electrical Validation activities of the receiver circuit during early stages of products. New method is intended to be the product of record solution for validation activities of USB 2.0 receiver circuit across business units and product segments.

Keywords: USB 2.0, Electrical validation, Receiver sensitivity.

ÍNDICE DE CONTENIDO

RESUMEN.....	iv
ABSTRACT	v
ÍNDICE DE CONTENIDO.....	vi
ÍNDICE DE FIGURAS	viii
ÍNDICE DE TABLAS.....	ix
GLOSARIO	x
1. INTRODUCCIÓN.....	1
1.1. ANTECEDENTES.....	1
1.2. DEFINICIÓN DEL PROBLEMA.....	1
1.3. JUSTIFICACIÓN.....	3
1.3.1. Ámbito tecnológico.....	3
1.3.2. Ámbito financiero	4
1.4. BENEFICIOS	4
1.5. OBJETIVOS	4
1.5.1. Objetivo general	4
1.5.2. Objetivos específicos	5
1.6. HIPÓTESIS.....	5
2. MARCO TEÓRICO.....	6
2.1. ESTADO DEL ARTE.....	6
2.2. VALIDACIÓN ELÉCTRICA	7
2.3. CONCEPTOS BÁSICOS DE USB2	8
2.3.1. USB2 Modo Device.....	8
2.3.1.1. USB2 Modo Device OTG para puertos Micro-AB.....	9
2.3.1.2. USB2 Modo Device DRD para puertos Tipo-C.....	11
2.4. RECEPTOR DE USB2 EN HS	11
2.5. PRUEBAS DE CONFORMIDAD DE USB2 EN HS.....	12
2.6. APLICACIÓN DE OSCILOSCOPIO PARA PRUEBAS ELÉCTRICAS DE USB2.....	13
2.7. PRUEBA DE USB2 PARA SENSIBILIDAD DE RECEPTOR	14
2.7.1. Configuración de prueba.....	14
2.7.1.1. Osciloscopio.....	16
2.7.1.2. Generador de patrones.....	16

2.7.1.3. Fixtura de prueba.....	16
2.7.1.4. Computadora de escritorio para habilitar Modo <i>Device</i>	17
2.7.1.5. Plataforma de validación.....	17
2.7.2. Ejecución de prueba.....	17
3. PROCEDIMIENTO	20
3.1. CAPA FÍSICA DE USB2.....	20
3.2. DFX RECEPTOR USB2.....	22
3.3. PRUEBA DE RECEPTOR AC <i>SQUELCH</i>	22
3.3.1. Caracterización del circuito receptor.....	23
3.3.2. Configuración de prueba.....	26
3.3.2.1. Computadora de control	27
3.3.3. Flujo de prueba.....	27
3.3.4. Ejecución de prueba	29
3.4. AUTOMATIZACIÓN DE PRUEBA.....	29
4. RESULTADOS	31
4.1. RESULTADOS DE PRUEBA RX AC <i>SQUELCH</i>	31
4.1.1. Verificación con variaciones de voltaje y temperatura	33
4.2. CORRELACIÓN DE RESULTADOS.....	34
CONCLUSIONES.....	37
RECOMENDACIONES.....	39
APORTACIÓN DE LA TESIS.....	40
APORTACIÓN SOCIAL DE LA TESIS	41
REFERENCIAS.....	42

ÍNDICE DE FIGURAS

Figura 1. Conexión de USB2 Modo Device para OTG	10
Figura 2. Configuración de prueba Sensibilidad de Receptor	15
Figura 3. Controlador de USB2 en Modo Device	18
Figura 4. HSETT en Modo Device para el comando SE0_NAK	18
Figura 5. Diagrama a bloques de interfaz de USB2	21
Figura 6. Estados de oscilación del receptor.....	24
Figura 7. Configuración de prueba USB2 Rx AC <i>Squelch</i>	26
Figura 8. Funcionalidad del receptor para variación de amplitud.....	27
Figura 9. Flujo de prueba USB2 Rx AC <i>Squelch</i>	28
Figura 10. Resultados Rx AC <i>Squelch</i> voltajes de referencia	32
Figura 11. Resultados Rx AC <i>Squelch</i> topologías	33
Figura 12. Resultados Rx AC <i>Squelch</i> voltaje y temperatura	34
Figura 13. Correlación de Sensibilidad de Receptor y Rx AC <i>Squelch</i>	35

ÍNDICE DE TABLAS

Tabla 1. Pruebas eléctricas de USB2 Modo Host y Modo <i>Device</i>	12
Tabla 2. Equipo de prueba Sensibilidad de Receptor	15
Tabla 3. Estados del receptor para L2O y O2H	25
Tabla 4. Estados del receptor para H2O y O2L	26

GLOSARIO

AC: *Analog Component* (componente análogo de la señal de entrada).

AFE: *Analog Front End* (interfaz analógica).

DC: *Digital Component* (componente digital de la señal de entrada).

DFP: *Downstream Facing Port* (puerto orientado hacia abajo). Funcionalidad del puerto USB2 para transmitir como Host.

DFx: *Design For something* (Diseño para algo).

DM: *Data Minus* (señal diferencial de datos con valor negativo).

DP: *Data Plus* (señal diferencial de datos con valor positivo).

DRD: *Dual Role Data* (datos de doble función).

DUT: *Device Under Test* (dispositivo bajo prueba).

EV: *Electrical Validation* (Validación Eléctrica).

FS: *Full-Speed* (velocidad completa).

GDC: *Guadalajara Design Center* (Centro de Diseño de Intel® Guadalajara).

GPIB: *General Purpose Interface Bus* (bus de interfaz de propósito general).

H2O: *High-To-Oscillation* (nivel alto a oscilación).

HNP: *Host Negotiation Protocol* (protocolo de negociación de Host).

HS: *High-Speed* (velocidad alta).

HSETT: *High-Speed Electrical Test Tool* (aplicación de SW de pruebas eléctricas de velocidad alta).

HW: Todo lo referente al hardware.

L2O: *Low-to-Oscillation* (nivel bajo a oscilación).

LS: *Low-Speed* (velocidad baja).

Mbps: *Megabits per second* (1 millón de bits en un segundo).

O2H: *Oscillation-To-High* (oscilación a nivel alto).

O2L: *Oscillation-To-Low* (oscilación a nivel bajo).

OS: *Operative System* (sistema operativo).

OTG: *On-The-Go* (extensión de la especificación USB 2.0 que permite al controlador modo dual de funcionamiento).

PHY: *Physical Layer* (Todo lo referente a la capa física de una interfaz).

Post-Silicio: Etapas del ciclo de vida de un procesador después de ser fabricado.

PVT: *Process/Voltage/Temperature* (variaciones en el proceso de fabricación, voltaje y temperatura).

PyVISA: *Python Virtual Instrument Software Architecture* (arquitectura de software de instrumentos virtuales en Python).

Rx: Todo lo relacionado al receptor.

SEO: *Single Ended Zero* (terminación única en valor bajo).

SEO_NAK: *Single Ended Zero No Acknowledge* (terminación única en valor bajo sin reconocimiento de datos).

SIV: *Signal Integrity Validation* (validación de integridad de señal).

Squelch: Capacidad del circuito receptor de USB2 de silenciar señales de ruido.

SW: Todo lo referente al software.

Tx: Todo lo relacionado al transmisor.

UFP: *Upstream Facing Port* (puerto orientado hacia arriba). Funcionalidad de USB2 para transmitir como Device.

Unsquellch: Capacidad del circuito receptor de USB2 de responder de manera confiable a señales de datos válidos.

USB 2.0: *Universal Serial Bus 2.0* (interfaz estándar para conexión de dispositivos seriales de Velocidad Alta 2.0).

USB-IF: *USB Implementers Forum* (foro de implementadores de USB).

xHCI: *Extensible Host Controller Interface* (interfaz de controlador de Host extensible).

1. INTRODUCCIÓN

En este primer capítulo se presentan las bases que dieron origen al proyecto desarrollado en esta tesis, incluyendo los Antecedentes, Definición del problema, Justificación, Beneficios, Objetivos e Hipótesis.

1.1. ANTECEDENTES

El rápido avance del desarrollo de la tecnología actual, en donde las velocidades de operación de un sistema computacional siempre se incrementan y los diseños se hacen más compactos, exige a su vez que los ciclos de validación de microprocesadores sean cada vez más cortos, lo cual posibilite una rápida introducción de nuevos productos al mercado.

El área de Validación Eléctrica en Intel® se encarga de la Validación de Integridad de Señal (SIV, por sus siglas en inglés) en interfaces de microprocesadores para los parámetros eléctricos de los circuitos transmisores y receptores a través de diferentes metodologías de prueba.

Las pruebas de SIV de USB2 se realizan en Modo *Host* para los circuitos análogos transmisores y en Modo *Device* para los circuitos receptores. Estas pruebas son vitales para asegurar que el comportamiento eléctrico y la calidad del diseño cumplen con los requisitos del cliente y con las especificaciones de conformidad eléctrica definidos por organismos internacionales.

1.2. DEFINICIÓN DEL PROBLEMA

USB2 Modo *Host* corresponde al caso de uso en donde se conectan dispositivos periféricos, como son: teclado, ratón, unidades de almacenamiento. USB2 Modo *Device* corresponde a un modo especial de funcionamiento en donde se conectan dos computadoras entre sí a través de un cable USB.

Para un producto que opera sólo en USB2 Modo *Host*, la validación de los parámetros eléctricos de los circuitos transmisores se basa en un conjunto de pruebas de conformidad definidas por el Foro de Implementadores de USB (USB-IF, por sus siglas en inglés) (USB-IF, 2000), así como varios métodos de prueba desarrollados internamente, y se puede realizar de manera independiente.

Para un producto con la capacidad adicional de operar en USB2 Modo *Device*, la validación eléctrica de los circuitos receptores se basa de manera exclusiva en la prueba de Sensibilidad de Receptor, definida por USB-IF, que tiene dependencias de los componentes de software (SW) de sistema operativo Windows y el controlador de USB.

El mayor reto de la validación eléctrica de USB2 corresponde a la habilitación del Modo *Device* para el controlador de USB del microprocesador bajo prueba; debido a que los equipos de validación suelen trabajar con versiones prototipo de Windows y del controlador de interfaz *Host* extensible (xHCI, por sus siglas en inglés) que en ocasiones no incorporan la suficiente funcionalidad, durante el inicio del ciclo de vida de validación, para satisfacer las necesidades de habilitación de USB2 Modo *Device* para la prueba de Sensibilidad de Receptor.

De manera general pueden ocurrir los siguientes cuatro escenarios durante el ciclo de validación de USB2 para la habilitación de Modo *Device*:

- a) Que se pueda habilitar en algún momento durante el primer ciclo de validación.
- b) Que se pueda habilitar en algún momento durante el segundo y último ciclo de validación.
- c) Que no se logre habilitar durante el ciclo completo de validación.
- d) Que se pueda habilitar después de finalizado el ciclo completo de validación.

Es imperativo que la validación de los diferentes modos de operación de USB2 pueda ser efectuada para la primera versión del microprocesador durante el primer ciclo de validación, para poder encontrar cualquier error, refinar el diseño e incluir su arreglo en la segunda versión del producto para que las mejoras puedan ser verificadas durante el último ciclo de validación.

1.3. JUSTIFICACIÓN

Con base al análisis tecnológico y financiero, se considera que el proyecto: "*Método de prueba alterno para validación eléctrica del circuito receptor de USB 2.0*", sí es factible puesto que la viabilidad de los elementos bajo los cuales se desarrolla el proyecto es favorable.

A continuación, se muestra el análisis de cada elemento:

1.3.1. Ámbito tecnológico

El hardware (HW) utilizado corresponde al equipo de medición de la prueba de USB2 para Sensibilidad de Receptor, el cual se encuentra disponible en el laboratorio de validación del Centro de Diseño de Intel ® Guadalajara.

El sistema utilizado para el desarrollo del método de prueba se realizó en computadoras del laboratorio de validación, configuradas con los paquetes de instalación de aplicaciones de software (SW) propios del área de Validación Eléctrica, repositorios de pruebas y automatización de equipo de medición, así como programas de SW específicos para cada proyecto en particular.

Las características de HW y SW del sistema son:

- Computadora de escritorio con procesador Intel ® Core i7 4790 3.2 GHz, 16 GB de RAM.
- Sistema operativo Windows® 10 versión 1607 (64-bits).
- Python 3.6 con librería de control de instrumentos programables (PyVISA).

1.3.2. Ámbito financiero

No se requiere inversión económica adicional a la ya existente en el ecosistema del laboratorio de Validación Eléctrica. A su vez se cuenta con la aprobación y apoyo de la gerencia de Validación Eléctrica de la empresa, respecto a los recursos de tiempo y personal requeridos para el desarrollo de esta investigación.

1.4. BENEFICIOS

El principal beneficio de este trabajo de investigación es la definición e implementación de un nuevo método de prueba para validar eléctricamente la sensibilidad del circuito receptor para la interfaz de USB2.

La utilidad de este nuevo método es que va a poder utilizarse desde el primer ciclo de validación de un nuevo diseño de microprocesadores, sin necesidad de que la plataforma de validación inicie a Windows y por consiguiente sin requerir que el controlador de USB habilite USB2 Modo *Device*; todo esto permite iniciar la validación eléctrica del circuito receptor de USB2 desde el inicio de las actividades del ciclo de vida de validación del producto.

Los beneficiarios directos e inmediatos son los equipos de Validación Eléctrica de USB2 para los segmentos de productos de Intel® Guadalajara. Este beneficio puede extenderse de manera secundaria a las diferentes localidades y segmentos donde el área de Validación Eléctrica tiene presencia a nivel mundial.

1.5. OBJETIVOS

Las siguientes secciones proporcionan información detallada de lo que se pretende lograr con la investigación.

1.5.1. Objetivo general

Diseñar e implementar un método de prueba que incremente la cobertura del circuito receptor de USB2, que pueda ser utilizado durante la validación de la

primera versión de un producto, de manera independiente, que sea confiable y eficiente.

1.5.2. Objetivos específicos

En base al objetivo general, se enlistan los siguientes objetivos específicos:

- a) Definir un método de prueba para validar eléctricamente el circuito receptor de USB2 que no requiera habilitar el controlador de USB en Modo *Device*.
- b) Automatizar el método de prueba para que pueda ser ejecutado mediante una función de Python con argumentos de entrada.
- c) Demostrar la capacidad del método de prueba para el receptor de USB2 en Modo *Host* con respecto a la prueba de conformidad eléctrica de USB2 en Modo *Device* para Sensibilidad de Receptor.

1.6. HIPÓTESIS

Si se utiliza un nuevo método de prueba para el circuito receptor de USB2 que no requiere de habilitar el controlador de USB en Modo *Device*, bajo sistema operativo Windows, es posible iniciar la validación eléctrica del circuito receptor de la interfaz de USB2 durante el primer ciclo de validación de un nuevo producto de microprocesador.

2. MARCO TEÓRICO

En este capítulo se incluyen los temas que constituyen el marco teórico de esta investigación y permiten al lector tener una comprensión general sobre validación eléctrica, Modo *Device* de USB2, receptor de USB2 en velocidad alta y la prueba de Sensibilidad de Receptor de USB2 en Modo *Device*.

2.1. ESTADO DEL ARTE

Para Mitra et al. (MITRA, 2010), "Asegurar la correcta operación a pesar de niveles elevados de complejidad del diseño ha sido un enfoque mayor de la investigación y desarrollo desde el inicio del diseño de sistemas digitales. Estos esfuerzos han resultado en avances importantes en la teoría y práctica de la verificación del diseño y las pruebas de manufactura de sistemas digitales a través de varias décadas. La validación post-silicio de sistemas extremadamente complejos del futuro es un campo de investigación emergente con oportunidades emocionantes para efectuar innovaciones mayores".

En las diferentes conferencias y congresos de validación, pruebas y nuevas tecnologías de la empresa no se encontraron publicaciones técnicas relacionadas con el tema de esta investigación, además, a través de la investigación bibliográfica efectuada para este proyecto, no se identificaron publicaciones que cubran el tema específico de la validación de USB2 para circuitos receptores en Modo *Device*.

Algunas de las publicaciones encontradas en el ámbito de USB2 que muestran relación con los temas de esta tesis, se han enfocado mayormente en los siguientes temas: proponer una arquitectura de transmisor-receptor de USB2 en alta velocidad (JOU, 2001), presentar pruebas automáticas para circuitos transmisores en USB2 (WEIGUO, 2007), resolución de problemas de las pruebas de conformidad de USB2 en Modo *Host* (KUMAR, 2013), presentar un método para optimizar los

parámetros eléctricos de sintonización del transmisor de USB2 en pruebas de validación post-silicio (TIANG, 2016).

2.2. VALIDACIÓN ELÉCTRICA

El área de Validación Eléctrica forma parte de la etapa de validación post-silicio de un microprocesador, e implica el análisis, diseño y ejecución de un plan de prueba para validar la integridad de señal de los parámetros eléctricos de los circuitos, transmisores y receptores, contenidos en las interfaces análogas de un microprocesador.

A su vez la validación eléctrica se encarga de la optimización de los parámetros de sintonización de la capa física para asegurar la correcta transferencia de datos, la funcionalidad del controlador y la interoperabilidad con la plataforma de validación a través de variaciones en el proceso de fabricación, voltaje y temperatura. El impacto de las longitudes de trazo y las topologías también son considerados.

El análisis de las mediciones de los parámetros eléctricos es de utilidad para identificar y resolver problemas de integridad de señal en etapas tempranas del producto, contribuye a su vez al diagnóstico e identificación de causa raíz de fallas funcionales. Un falso rechazo en las mediciones eléctricas puede ocasionar un incremento en el tiempo destinado a la validación y en los costos. Un falso positivo puede resultar en problemas de garantía y costos por retrabajos.

Una estrategia de validación no adecuada puede tener un efecto dominó con consecuencias negativas en la calidad del producto y por lo tanto puede afectar el desempeño de la compañía en el mercado.

2.3. CONCEPTOS BÁSICOS DE USB2

La interfaz de USB fue desarrollada y estandarizada por un grupo de compañías líderes en el ámbito tecnológico del sector de cómputo en 1995. Estas compañías conformaron USB-IF como una organización sin fines de lucro que se encarga de la definición y publicación de los estándares para la adopción y conformidad de USB (USB-IF, 2000).

USB 2.0 es una interfaz de conexión unidireccional para dispositivos seriales, que transmite datos y voltaje de alimentación a través de cuatro líneas: dos líneas diferenciales para datos (señal DP y señal DM), y dos líneas para voltaje (+5V y GND). Soporta transferencia de datos en Velocidad Alta (HS) de hasta 480 Mbps y es compatible con USB 1.x para los modos de Velocidad Completa (FS) y Velocidad Baja (LS) (USB-IF, 2000).

Dos de las funcionalidades más utilizadas de USB son la capacidad de entregar voltaje de alimentación para cargar baterías de dispositivos portátiles, así como la habilidad de los dispositivos de ser conectados y desconectados en cualquier momento sin necesidad de apagar o reiniciar el *Host*.

2.3.1. USB2 Modo Device

USB-IF ha expandido la funcionalidad de USB2, siendo no sólo un sistema para conectar dispositivos periféricos sino también proporcionando un medio eficaz para la interconexión entre dos computadoras a través de un puerto con capacidad de funcionamiento en Modo *Device*, que permite la conexión punto a punto entre dos dispositivos a través de un cable USB, los cuales van a negociar cuál desempeñará el papel de *Host* y cuál funcionará como *Device* (USB-IF, 2012).

Para la transferencia de datos en una conexión USB se definen tres conceptos: puerto orientado hacia abajo (DFP, por sus siglas en ingles), puerto orientado hacia arriba (UFP) y datos de doble función (DRD). Un puerto USB que funciona como DFP corresponde al puerto en el *Host*. Un puerto USB que recibe datos se conoce como

UFP y se localiza en el *Device*. Por último, un puerto con capacidad DRD puede operar ya sea como DFP (*Host*) o UFP (*Device*), o bien puede alternar entre ambos estados (USB-IF, 2000).

En relación con el manejo del voltaje de alimentación de +5V, un puerto USB puede proporcionar este voltaje y se le llama puerto fuente; de igual manera, si el puerto USB hace uso de dicho voltaje, se le conoce como puerto consumidor (USB-IF, 2000).

Cuando se realiza una conexión por medio de un cable USB entre dos dispositivos electrónicos, el rol que el puerto desempeña inicialmente se determina por la función que el puerto ejerce para el manejo de la señal de +5V. Un puerto fuente toma el rol de DFP (*Host*) y un puerto consumidor desempeña el papel de UFP (*Device*) (USB-IF, 2012).

Es importante destacar que puertos DRD pueden alternar su modo de funcionamiento de manera dinámica, es decir sin necesidad de desconectar el cable USB. Ejemplos de dispositivos DRD son *laptops*, *tablets* y *smartphones*.

El correcto funcionamiento de los circuitos receptores de USB2 puede verse afectado si la negociación para funcionamiento DRD no se realiza correctamente para definir el modo de operación de los controladores de USB en el bus de comunicación (ANDERSON, 2001).

2.3.1.1. USB2 Modo Device OTG para puertos Micro-AB

La funcionalidad de USB2 en Modo *Device* fue introducida como complemento al estándar de USB 2.0 en 2002 como funcionalidad *On-The-Go* (OTG) para conectores Micro-AB, los cuales se pueden conectar en una sola dirección (USB-IF, 2012).

La funcionalidad de USB2 en Modo *Device* para OTG permite al controlador de USB tener la funcionalidad de Modo Dual a través de un solo puerto Micro-AB, el cual incorpora una señal adicional de identificación, ID, que se utiliza para detectar si el controlador debe asumir el papel de *Host* o debe comportarse como *Device* (USB-IF, 2012).

Los productos electrónicos compatibles con USB2 OTG deben incorporar un puerto USB Micro-AB de 5-pines que pueda recibir conectores Micro-A o Micro-B. La función inicial del *Host* y el *Device* se encuentra determinada por completo por la conexión del cable USB. La Figura 1 ejemplifica la conexión de USB2 para Modo *Device* con un cable OTG.

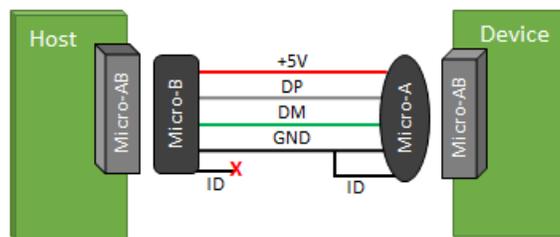


Figura 1. Conexión de USB2 Modo *Device* para OTG (USB-IF, 2012)

En la Figura 1, se observa que la señal ID en un cable USB2 con funcionalidad para OTG se conecta a GND para el conector Micro-A, y la misma señal se encuentra sin conectar para el conector Micro-B. Si el puerto Micro-AB recibe el conector Micro-A entonces el controlador de USB se comporta como *Host* y si recibe el conector Micro-B se comporta como *Device*.

La especificación de USB2 OTG define que una vez conectados, los productos con Función Dual pueden intercambiar los roles utilizando un Protocolo de Negociación de *Host* (HNP, por sus siglas en inglés) sin necesidad de desconectar el cable (USB-IF, 2012).

Actualmente son muy pocos los fabricantes de equipo de cómputo que incorporan puertos USB2 Micro-AB en sus diseños, la tendencia tecnológica actual es utilizar puertos USB Tipo-C.

2.3.1.2. USB2 Modo Device DRD para puertos Tipo-C

La funcionalidad USB2 OTG fue reemplazada por la especificación USB Tipo-C, introducida durante 2014, la cual corresponde a un estándar adicional que se aplica para cualquier producto USB y diferentes velocidades de operación.

USB Tipo-C es un estándar creado para satisfacer la demanda de tecnología de diseños compactos en dispositivos electrónicos, datos de alta velocidad y mayor potencia. Las principales características de USB Tipo-C incluyen la conexión entre dispositivos, el manejo del voltaje de alimentación y el aseguramiento de la correcta transmisión de datos (USB-IF, 2017).

El cable USB Tipo-C es intercambiable, no existe un lado específico para *Host* o para *Device*. Además, el conector se puede girar en el puerto del *Host* o *Device*. La señal ID no existe en el conector USB Tipo-C. El rol de *Host* o *Device* no se determina por un medio físico como la orientación del cable, sino por medio de la configuración por default del producto, es decir, un dispositivo electrónico con puerto USB Tipo-C que incluye capacidad de funcionamiento en DRD puede negociar su modo de operación ya sea que se configure como *Host* o como *Device* (USB-IF, 2017).

Los conectores Tipo-C tienen la ventaja de uso de ser simétricos y reversibles, lo cual ha aumentado el rango de utilidad de USB en general, el hecho de que permite conexiones entre dos computadoras ofrece toda una nueva gama de posibilidades para conectar dispositivos electrónicos.

2.4. RECEPTOR DE USB2 EN HS

USB-IF define que, de manera general, el circuito receptor de USB2 para el modo de operación en HS debe de ser capaz de monitorear los cambios de voltaje de la

señal diferencial para la funcionalidad de *Squelch* y *Unsquelch*. El término *Squelch* determina cuando una señal de entrada es considerada ruido y *Unsquelch* indica que una señal de datos válida ha sido recibida (USB-IF, 2000).

El receptor de USB2 es capaz de detectar la funcionalidad de *Squelch* y *Unsquelch* en base al valor amplitud de la señal diferencial de entrada y a un voltaje de referencia. Si el voltaje de entrada está por debajo del voltaje de referencia, la salida del comparador se mantiene baja, lo que indica una condición de *Squelch*. Si el voltaje de entrada es superior al voltaje de referencia, la salida del comparador es alta y esto indica una condición de *Unsquelch*.

2.5. PRUEBAS DE CONFORMIDAD DE USB2 EN HS

USB-IF define las pruebas de conformidad eléctrica, así como los criterios de aceptación para los diferentes parámetros eléctricos de USB 2.0, en donde el desempeño funcional depende en gran medida de los parámetros eléctricos que se obtienen de los circuitos análogos para la transmisión y recepción de datos (KEYSIGHT, 2019).

USB-IF enlista las pruebas de conformidad eléctrica para validación de USB2 en HS para Modo *Host* y Modo *Device*, mostradas en la Tabla 1 en idioma original.

Tabla 1. Pruebas eléctricas de USB2 Modo Host y Modo *Device*

Pruebas USB2 HS en Modo Host	Pruebas USB2 HS en Modo Device
<i>Host HS Signal Quality</i>	<i>Device HS Signal Quality</i>
<i>Host Controller Packet Parameters</i>	<i>Device Packet Parameters</i>
<i>Host CHIRP Timing</i>	<i>Device CHIRP Timing</i>
<i>Host Suspend / Resume Timing</i>	<i>Device Suspend / Resume / Reset Timing</i>
<i>Host Test J/K SE0_NAK</i>	<i>Device Test J/K SE0_NAK</i>
	<i>Device Receiver Sensitivity</i>

Elaboración propia

De la información mostrada en la tabla 1 podemos identificar que la prueba de Sensibilidad de Receptor se encuentra definida solamente para productos capaces de operar en Modo *Device*, dicho de otro modo, la prueba de Sensibilidad de Receptor valida un circuito que no ha sido probado en Modo *Host*.

USB-IF menciona que los dos beneficios principales al someter un producto a las pruebas de conformidad eléctrica de USB2 son: en primer lugar, se obtiene la aprobación para utilizar el logotipo oficial de USB cuando el producto cumple con dichas pruebas; en segundo lugar, se garantiza la interoperabilidad de USB2 al asegurar que funcionará de manera correcta en su diseño (USB-IF, 2000).

2.6. APLICACIÓN DE OSCILOSCOPIO PARA PRUEBAS ELÉCTRICAS DE USB2

Los proveedores de equipos de medición de osciloscopios han desarrollado licencias de software para sus productos, en base a los lineamientos de USB-IF, que proporcionan una guía paso a paso para ejecutar el grupo completo de pruebas de conformidad de USB2 para las diferentes velocidades de operación (HS, FS, LS) y modos de funcionamiento (*Host*, *Device*).

Para el desarrollo de esta investigación se utilizó equipo de medición del proveedor Keysight. La licencia de osciloscopio utilizada corresponde al Software de Pruebas de Conformidad Eléctrica de USB 2.0, modelo D9010USBC, y de acuerdo con Keysight, permite probar, diagnosticar y caracterizar los diseños de USB2 de manera sencilla con una interfaz de usuario intuitiva (KEYSIGHT, 2019).

El portafolio de soluciones de Keysight: instrumentos, SW y fixturas de prueba, permite efectuar pruebas de conformidad eléctrica de USB2 apegadas a los estándares de especificación de USB-IF (KEYSIGHT, 2019).

La aplicación de SW de Keysight, D9010USBC, proporciona instrucciones paso a paso, diagramas de conexión, configura de manera automática el equipo de medición y proporciona información detallada de los resultados obtenidos. El

software genera reportes de resultados que pueden exportarse a diferentes formatos para posterior análisis de datos (KEYSIGHT, 2019).

Para la prueba de Sensibilidad de Receptor de USB2 en Modo *Device*, el software de prueba automatiza la compleja calibración de la señal de estrés y el procedimiento de prueba de receptor, reemplazando el factor humano inherente en cualquier medición, por confiabilidad y repetibilidad en las mediciones de los parámetros eléctricos de *Squelch* y *Unsquelch* para el receptor de USB2.

2.7. PRUEBA DE USB2 PARA SENSIBILIDAD DE RECEPTOR

La prueba de Sensibilidad de Receptor de USB2 se ejecuta para puertos UFP, localizados en el *Device*, al aplicar una señal de datos de un generador de patrones a la entrada del DUT y observando su respuesta.

De acuerdo con USB-IF, los parámetros eléctricos de *Squelch* y *Unsquelch* se verifican en la prueba de Sensibilidad de Receptor en Modo *Device*, en donde la medición del voltaje de umbral del receptor de USB2 está definida por los siguientes identificadores de prueba (USB-IF, 2016):

- **EL_16** (Sensibilidad de Receptor @ *Squelch*): un dispositivo capaz de funcionar en modo HS no debe ser demasiado sensible y no debe responder a paquetes de datos con amplitud debajo de 100 mV.
- **EL_17** (Sensibilidad de Receptor @ *Unsquelch*): un dispositivo capaz de funcionar en modo HS debe ser capaz de responder de manera confiable a todos los paquetes de datos con amplitud mayor a 150 mV.

2.7.1. Configuración de prueba

Los requerimientos de equipo para la prueba de sensibilidad de receptor utilizados en esta investigación, en base a la aplicación de SW D9010USBC, se indican en la Tabla 2 (KEYSIGHT, 2019).

Tabla 2. Equipo de prueba Sensibilidad de Receptor

Cantidad	Equipo	Características de equipo utilizado
1	Generador de patrones	Keysight 81134A, 3.5 GHz
2	Convertidor de Tiempo de Transición	Keysight 15433B, 500 ps
1	Osciloscopio con SW para pruebas eléctricas de USB 2.0	Keysight DSA91304A, 13 GHz
1	Punta de voltaje diferencial	Keysight 1134A, 7 GHz
1	Fixtura de prueba para Receptor con cable de 4 pulgadas y fuente de voltaje de 5V	Keysight E2649-66403
2	Cable coaxial de 50-ohm	SMA a SMA cable coaxial
1	Cable USB 2.0 HS de 5m	Cualquiera aprobado por USB-IF
1	Cable GPIB	Keysight 10833D, 0.5 m
1	PC para habilitar USB2 Modo Device	Con puertos USB2 y aplicación de SW HSETT instalada

(KEYSIGHT, 2019)

La Figura 2 muestra las conexiones requeridas para la prueba de Sensibilidad de Receptor en Modo Device, en base al SW D9010USBC (KEYSIGHT, 2019).

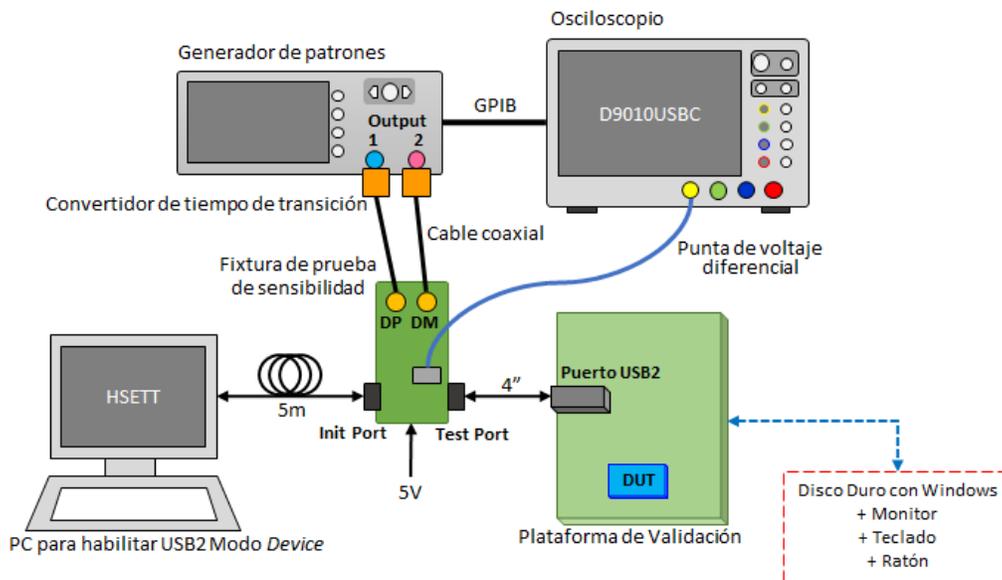


Figura 2. Configuración de prueba Sensibilidad de Receptor (KEYSIGHT, 2019)

2.7.1.1. Osciloscopio

El osciloscopio captura y muestra la señal de interés para el receptor de USB2. La punta de voltaje diferencial mejora la fidelidad de la señal y la inmunidad al ruido para las señales de datos de USB2.

El osciloscopio cuenta con la licencia de SW D9010USBC para pruebas de conformidad eléctrica de USB 2.0. La ejecución de la prueba de sensibilidad de receptor se realiza siguiendo las instrucciones directamente desde la aplicación de SW.

2.7.1.2. Generador de patrones

El generador de patrones permite generar niveles de señal específicos que cumplen con los requerimientos de transmisión de datos para USB2.

Los convertidores de tiempo de transición se utilizan para reducir la salida del generador en la escala de tiempo en base al valor fijo del modelo del convertidor. De este modo el ancho de banda de la señal de estímulo se reduce y se minimizan los efectos de reflexión en la señal.

2.7.1.3. Fixtura de prueba

La fixtura de prueba proporciona los puntos de acceso del receptor para conectar la punta de voltaje del osciloscopio. La fuente de 5V se requiere para proporcionar voltaje de alimentación para habilitar la funcionalidad de la fixtura para la conexión entre el Puerto de Inicialización (*Init Port*) y el Puerto de Prueba (*Test Port*).

El cable USB2 de 5m se utiliza para conectar el puerto de inicialización de la fixtura con la computadora de escritorio. El cable USB2 de 4 pulgadas se utiliza para conectar el puerto de prueba de la fixtura con la plataforma de validación.

2.7.1.4. Computadora de escritorio para habilitar Modo Device

La computadora de escritorio va a desempeñar el papel de *Host* en el sistema y se utiliza para asegurar la correcta habilitación del controlador USB del dispositivo bajo prueba (DUT) en modo dual de funcionamiento.

En la computadora de escritorio se va a instalar la aplicación de SW denominada HSETT (Herramienta de Prueba Eléctrica de Alta Velocidad), la cual es requerida para la habilitación de contenido en base a los modos de prueba del controlador de USB. Esta herramienta de SW es proporcionada de manera gratuita por USB-IF y puede descargarse desde su página de internet.

2.7.1.5. Plataforma de validación

La plataforma de validación proporciona el medio físico para que las señales de USB2 del microprocesador lleguen a los diferentes puertos de USB en base a diferentes topologías y longitudes de trazo para las señales de datos de la interfaz. Para USB2 Modo *Device* los puertos corresponden a tipo Micro-AB para productos que implementan USB2 OTG y Tipo-C que incorporan el modo de funcionamiento DRD.

Algunas de las topologías de USB2 que podemos encontrar en la plataforma de validación, corresponden a panel trasero, panel frontal y conector interno vertical tanto para puertos USB Tipo-A como Tipo-C.

2.7.2. Ejecución de prueba

La prueba se ejecuta directamente desde la aplicación D9010USBC del osciloscopio para pruebas automáticas de USB2. Antes de poder ejecutar la prueba, es necesario habilitar el controlador de USB2 en Modo *Device* para el DUT, en donde es necesario que la computadora de escritorio detecte la conexión con la plataforma de validación como "*Windows Dual-Role Device*" en el administrador de dispositivos, como se muestra en la Figura 3.

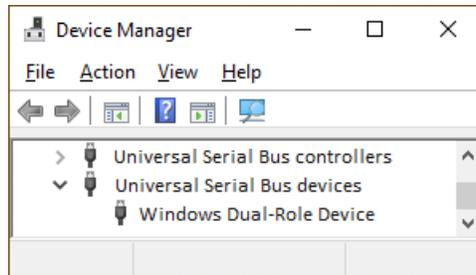


Figura 3. Controlador de USB2 en Modo Device
Elaboración propia

Posteriormente, la aplicación de prueba le pedirá al usuario que realice los siguientes pasos: abrir HSETT, seleccionar Modo *Device*, enumerar el bus, enviar el modo de prueba para SE0_NAK. Esto se muestra en la Figura 4.

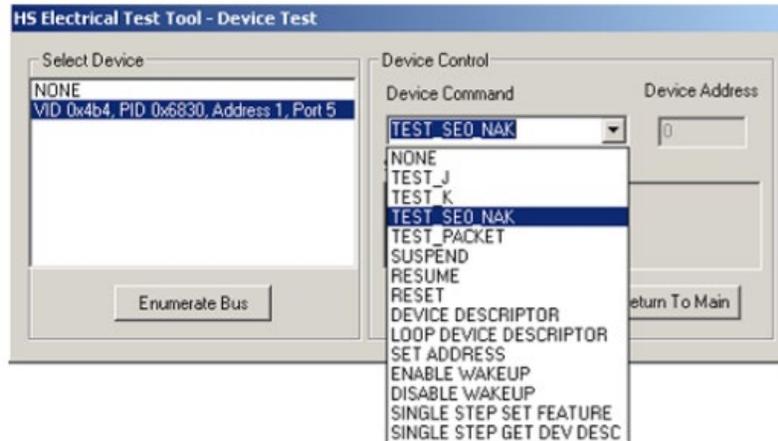


Figura 4. HSETT en Modo Device para el comando SE0_NAK
(KEYSIGHT, 2019)

El modo de prueba denominado SE0_NAK se compone de dos partes, la primera se refiere a SE0 (*Single Ended Zero*) y es cuando las dos señales de datos (DP y DM) se encuentran en un valor bajo, también conocido como cero lógico. La segunda parte está indicada por el término NAK (*No Acknowledge*) en donde el receptor indica que no puede aceptar datos (USB-IF, 2000).

La sensibilidad del receptor se determina al reducir la amplitud de la señal del generador y observando cuando el DUT deja de responder. USB-IF define que cuando un dispositivo USB2 está en modo de prueba SE0_NAK, debe de responder

a cualquier paquete de datos de entrada con un protocolo de enlace NAK. Esto permite realizar la prueba de Sensibilidad del Receptor (USB-IF, 2000).

La prueba de Sensibilidad del Receptor verifica la sensibilidad del circuito receptor de USB2 del DUT en el puerto UFP. Se envían señales de entrada desde el generador de patrones al DUT que se encuentra en modo SE0_NAK y el osciloscopio captura la respuesta del DUT. La amplitud de los paquetes del generador de patrones se reduce en incrementos de 20 mV conforme se efectúa la prueba. Cuando el DUT recibe paquetes de entrada con un nivel de amplitud superior a 150 mV, todos los paquetes deben ser datos válidos (*Unsquelch*). Cuando el DUT recibe paquetes de entrada con una amplitud menor a 100 mV, todos los paquetes deben ser silenciados (*Squelch*).

Finalmente, el osciloscopio obtiene los valores de voltaje tanto para la funcionalidad de *Squelch* como *Unsquelch* que indican la sensibilidad del receptor de USB2 y genera un reporte de resultados con la información de la prueba y las mediciones obtenidas.

3. PROCEDIMIENTO

Para Keshava et al. (KESHAVA, 2010), "Los efectos combinados del incremento de la complejidad de productos, requisitos de desempeño y compromisos de lanzamiento al mercado, han puesto una gran presión en la validación, que es usualmente el último paso antes de la manufactura masiva. Esto obliga al equipo de validación a constantemente evaluar sus métodos y procesos, para hacer la validación más rápida, barata y mejor".

Al trabajar con versiones prototipo de la plataforma de validación, Windows OS y controlador de USB, resulta difícil habilitar USB2 Modo *Device* durante el primer ciclo de validación de un nuevo diseño de microprocesador, debido a que las versiones iniciales de dichos componentes de SW se encuentran en etapas tempranas de desarrollo e integración con el DUT. Son muchos los factores que juegan un papel respecto a los entregables de estos componentes de SW hacia los equipos de validación.

El reto es encontrar un enfoque alternativo para SIV del receptor de USB2 en el cual podamos validar los mismos parámetros eléctricos definidos para la prueba de Sensibilidad de Receptor y lograr que la estrategia de validación eléctrica para el receptor de USB2 sea completamente autónoma y sin dependencias externas.

Este capítulo corresponde a una versión extendida de (CAMARENA, 2020). La información presentada en este capítulo incluye una descripción de la capa física de USB2, la capacidad de diseño de la interfaz de USB2 en microprocesadores de Intel ® para el circuito receptor, además se introduce el método de prueba propuesto, los estados de oscilación utilizados para caracterizar el circuito receptor, la configuración, el flujo y automatización de la prueba.

3.1. CAPA FÍSICA DE USB2

La capa física de USB2, denominada en lo sucesivo USB2-PHY, es un término común para referirse al nivel fundamental de implementación del diseño de la interfaz que

contiene y describe las diferentes características y funciones para todas las configuraciones de uso.

Los registros de interfaz analógica (AFE, por sus siglas en inglés) y las capacidades adicionales del diseño son parte importante de la interfaz de USB2 y se encuentran en USB2-PHY. Los valores de sintonización de los AFE permiten reconfigurar el desempeño de los circuitos transmisores y receptores en validación post-silicio para optimizar su funcionamiento.

La Figura 5 muestra una representación a alto nivel de los bloques que constituyen la interfaz de USB2 y corresponden solamente a los temas tratados en esta investigación.

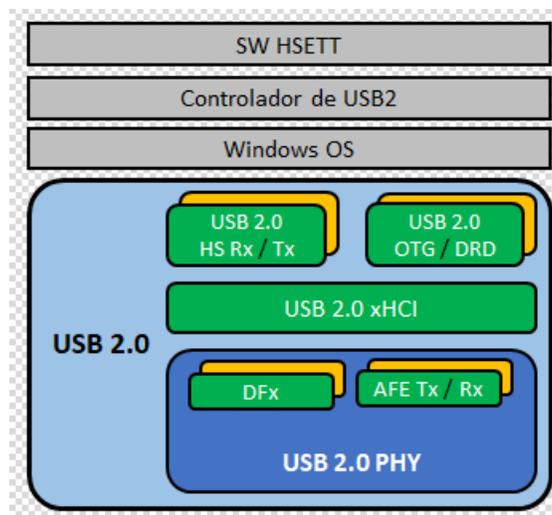


Figura 5. Diagrama a bloques de interfaz de USB2
Elaboración propia

En la Figura 5 se observa que USB2-PHY proporciona la base fundamental de la implementación de la interfaz de USB2 contenida en el microprocesador; los componentes de SW para Windows, controlador de USB2 y HSETT corresponden a capas superiores de aplicación que posibilitan la interacción con el usuario.

3.2. DFX RECEPTOR USB2

DFx es un término genérico que significa "Diseño-para-x" y se refiere a las capacidades que tiene una interfaz para facilitar las actividades de manufactura, prueba y diagnóstico.

El desarrollo de este método de prueba se logró gracias a la incorporación y habilitación de un Dfx para efectos de prueba del receptor de USB2 en base a un esfuerzo de trabajo en equipo realizado en conjunto por el grupo de Validación Eléctrica de USB2 en Intel® GDC, México, y el equipo de Diseño Análogo de USB2 en Intel® Penang, Malasia.

El receptor de USB2 se inicializa en modo aislado de funcionamiento, haciendo uso de un Dfx para pruebas de receptor, contenido en USB2-PHY, donde el circuito estará listo para recibir señales de entrada a través del puerto USB2 en la plataforma de validación y proporcionará un estado de salida mediante el valor en un registro contenido, a su vez, en USB2-PHY. Este registro se denominará en los sucesivos "Registro Indicador de *Squelch*".

3.3. PRUEBA DE RECEPTOR AC SQUELCH

El método de prueba propuesto en esta investigación se denomina prueba USB2 Rx AC Squelch, se ejecuta en Modo *Host* y constituye una alternativa a la prueba de Sensibilidad del Receptor de USB2 en Modo *Device*. Esta nueva prueba permite eliminar las dependencias relacionadas con el uso de sistema operativo Windows y el controlador de USB2 para habilitar Modo *Device* del DUT.

El término AC en el nombre de la prueba se refiere a la capacidad del receptor de USB2 para detectar el componente análogo (AC por sus siglas en inglés) en los niveles de voltaje de la señal de entrada y permite establecer una diferencia con la capacidad adicional del receptor de trabajar con el componente digital (DC) para señales de entrada.

Esta prueba permite caracterizar el desempeño del receptor de USB2 bajo condiciones variantes de amplitud de la señal de entrada. La prueba permite validar los parámetros eléctricos de sensibilidad de receptor utilizando los límites de especificación de la prueba de conformidad de USB-IF.

Esta prueba utiliza tres señales de entrada con diferentes paquetes de datos y frecuencias de operación de USB2 para HS. Para efectos de explicar el flujo de prueba vamos a utilizar la siguiente nomenclatura para referirnos a las señales de datos:

- PatrónDatos_A_FrecuenciaAlta
- PatrónDatos_B_FrecuenciaMedia
- PatrónDatos_C_FrecuenciaBaja

La prueba se implementó en primera instancia en lenguaje de programación Python versión 2.7, que era la versión oficial para el área de EV durante 2019; posteriormente el código se migró a versión 3.6 de Python, durante 2020, en conformidad con los lineamientos corporativos de estandarización del ecosistema de validación para ejecución y automatización de pruebas.

Aviso de protección de información. La implementación del DfX, información del registro de USB2-PHY, las características de los parámetros de las señales de entrada y el código de programación de la prueba corresponden a Información Confidencial de *Intel ® Corporation*, por lo tanto, no se pueden proporcionar detalles adicionales.

3.3.1. Caracterización del circuito receptor

En la práctica, el comparador del circuito receptor de USB2 no sólo proporciona el valor de salida, sino que pasa por una serie de estados de oscilación antes de establecerse en un valor final.

Un nivel bajo indica que el receptor está en *Squelch*, silenciando señales de ruido. Un nivel alto indica que el receptor está en *Unsquelch*, escuchando de manera confiable señales de datos válidas.

Las diferencias en los puntos de oscilación mostrados en la Figura 6 ilustran el comportamiento obtenido del receptor de USB2 con este método de prueba.

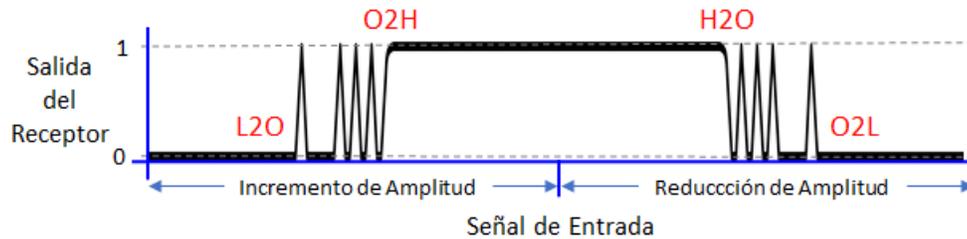


Figura 6. Estados de oscilación del receptor
Elaboración propia

De la figura 6 se observa que al incrementar la amplitud de la señal de entrada se obtienen los estados de oscilación L2O y O2H. De igual manera, al reducir la amplitud de la señal se obtienen los estados de oscilación H2O y O2L del receptor.

L2O (*Low-To-Oscillation*): Indica el cambio de estado de un nivel bajo hasta el primer nivel alto de salida (primera oscilación). Corresponde al umbral de sensibilidad mínima del receptor para *Squelch*.

O2H (*Oscillation-To-High*): Indica el cambio de estado de oscilación continua hasta un nivel alto sostenido. Corresponde a la sensibilidad del receptor para la funcionalidad de *Unsquelch*.

H2O (*High-To-Oscillation*): Indica el cambio de estado de un nivel alto hasta un estado de oscilación continuo. Corresponde a la sensibilidad del receptor para la funcionalidad de *Unsquelch*.

O2L (*Oscillation-To-Low*): Indica el cambio de estado del receptor desde la última oscilación hasta un nivel bajo sostenido. Corresponde a la sensibilidad del receptor para la funcionalidad de *Squelch*.

Cuando una señal de entrada se aplica al circuito receptor, la salida del comparador comienza a oscilar. Conforme la amplitud de la señal aumenta, se obtiene el estado L2O que indica el umbral de voltaje en que la primera señal de datos válida es recibida. Esto corresponde a la mínima sensibilidad del receptor para *Squelch*.

Conforme la amplitud de la señal se incrementa, se obtiene un estado continuo de oscilaciones. Cuando estas oscilaciones se estabilizan en un valor alto se obtiene el estado O2H que indica el umbral de sensibilidad de *Unsquelch* del receptor en donde el receptor detecta señales de datos válidas de manera confiable.

Conforme se continúa reduciendo la amplitud de la señal, el receptor pasa a un estado constante de oscilación H2O e indica el umbral de *Unsquelch*. Conforme la amplitud de la señal sigue disminuyendo, el receptor proporciona un último estado de oscilación definido como O2L y representa la sensibilidad del receptor para *Squelch*, es decir, a partir de este umbral de voltaje, el receptor silenciará todas las señales de ruido.

La Tabla 3 ejemplifica los estados del receptor de USB2 y los valores del Registro Indicador de *Squelch*, asociados a los puntos de oscilación L2O y O2H de la Figura 6.

Tabla 3. Estados del receptor para L2O y O2H

Estados del receptor al Incrementar la Amplitud de la Señal				
Receptor USB2	Bajo	L2O	Oscilación	O2H
Registro USB2-PHY	000000	001000	010101	111111

Elaboración propia

La Tabla 4 muestra los valores de estado del registro para los puntos de oscilación H2O y O2L del receptor de la Figura 6.

Tabla 4. Estados del receptor para H2O y O2L

Estados del receptor al Reducir la Amplitud de la Señal				
Receptor USB2	Alto	H2O	O2L	Bajo
Registro USB2-PHY	111111	101010	000010	000000

Elaboración propia

3.3.2. Configuración de prueba

La prueba *Rx AC Squelch* mostrada en la figura 7 utiliza una configuración de equipo simplificado, en comparación con la prueba de Sensibilidad de Receptor, que se mostró en la Figura 2.

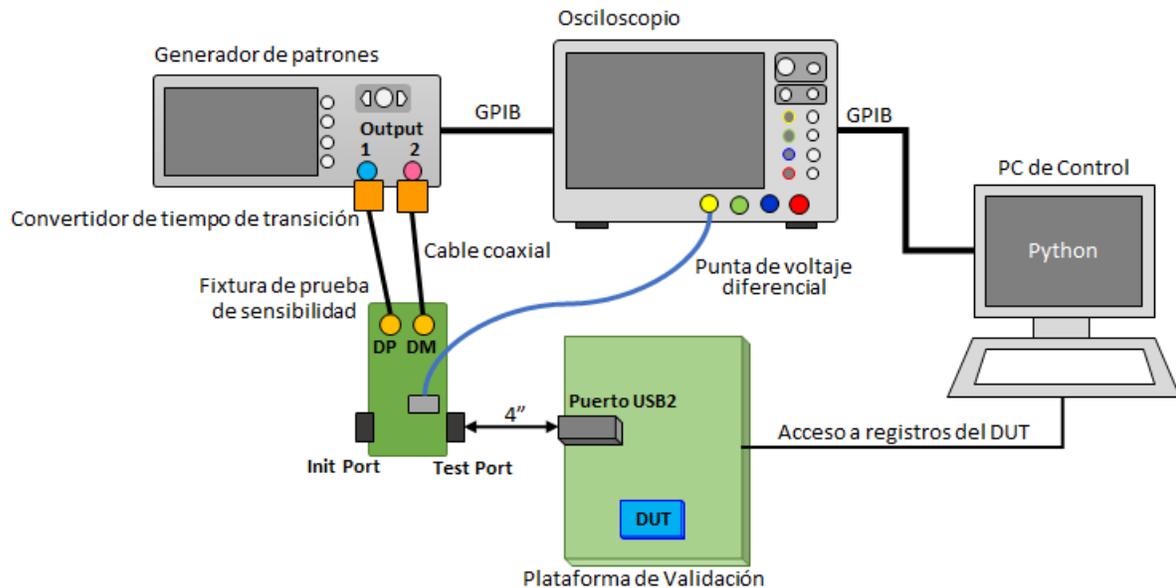


Figura 7. Configuración de prueba USB2 Rx AC Squelch

Elaboración propia

Debido a que la prueba *Rx AC Squelch* se realiza en Modo *Host*, el cable USB de 5m y la computadora de escritorio para habilitar Modo *Device* no son requeridas. La habilitación del contenido de la señal de entrada se realiza desde el generador de patrones, y el osciloscopio se encarga de realizar las mediciones de voltaje de los niveles de oscilación del receptor.

3.3.2.1. Computadora de control

La computadora de control proporciona el medio de acceso para las operaciones de lectura y escritura de registros del DUT mediante una terminal de comandos de Python.

El generador de patrones y el osciloscopio se conectan y configuran a través de la computadora de control. La secuencia de prueba contiene bloques de programación que incorporan las funcionalidades requeridas para dichos equipos.

3.3.3. Flujo de prueba

El método de prueba *Rx AC Squelch* consiste en dos secuencias de variación de amplitud de la señal de entrada, mostradas en la Figura 8. En la primera, se hace un barrido de amplitud de un valor inicial bajo a un valor final alto, con lo que se obtiene el umbral de voltaje de *Squelch*, indicado por la oscilación L2O, y la sensibilidad de *Unsquelch* indicado por O2H.

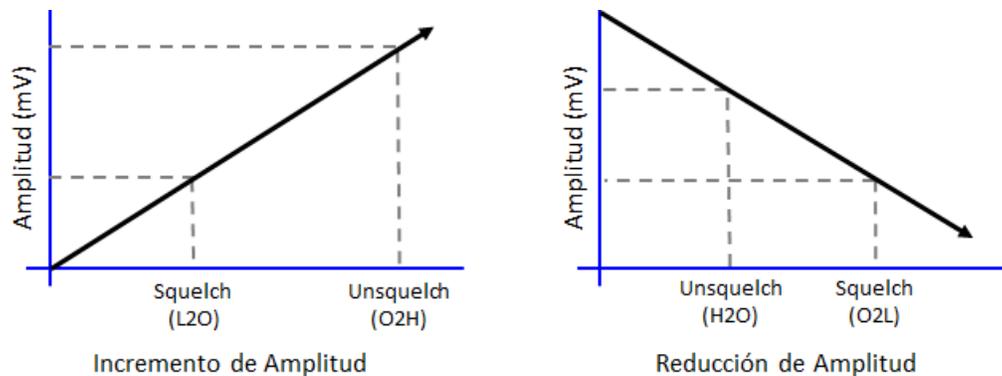


Figura 8. Funcionalidad del receptor para variación de amplitud
Elaboración propia

En la segunda secuencia, mostrada en la parte derecha de la Figura 8, los niveles de *Unsquelch* (indicado por H2O), y *Squelch* (indicado por O2L) se obtienen realizando un barrido de amplitud de la señal de entrada de un valor inicial alto a un valor final bajo.

Para ambas secuencias, los estados de oscilación del receptor se identifican a través de cambios de estado del registro indicador de *Squelch* de USB2-PHY.

La Figura 9 muestra el diagrama a bloques del flujo de prueba de *Rx AC Squelch*.

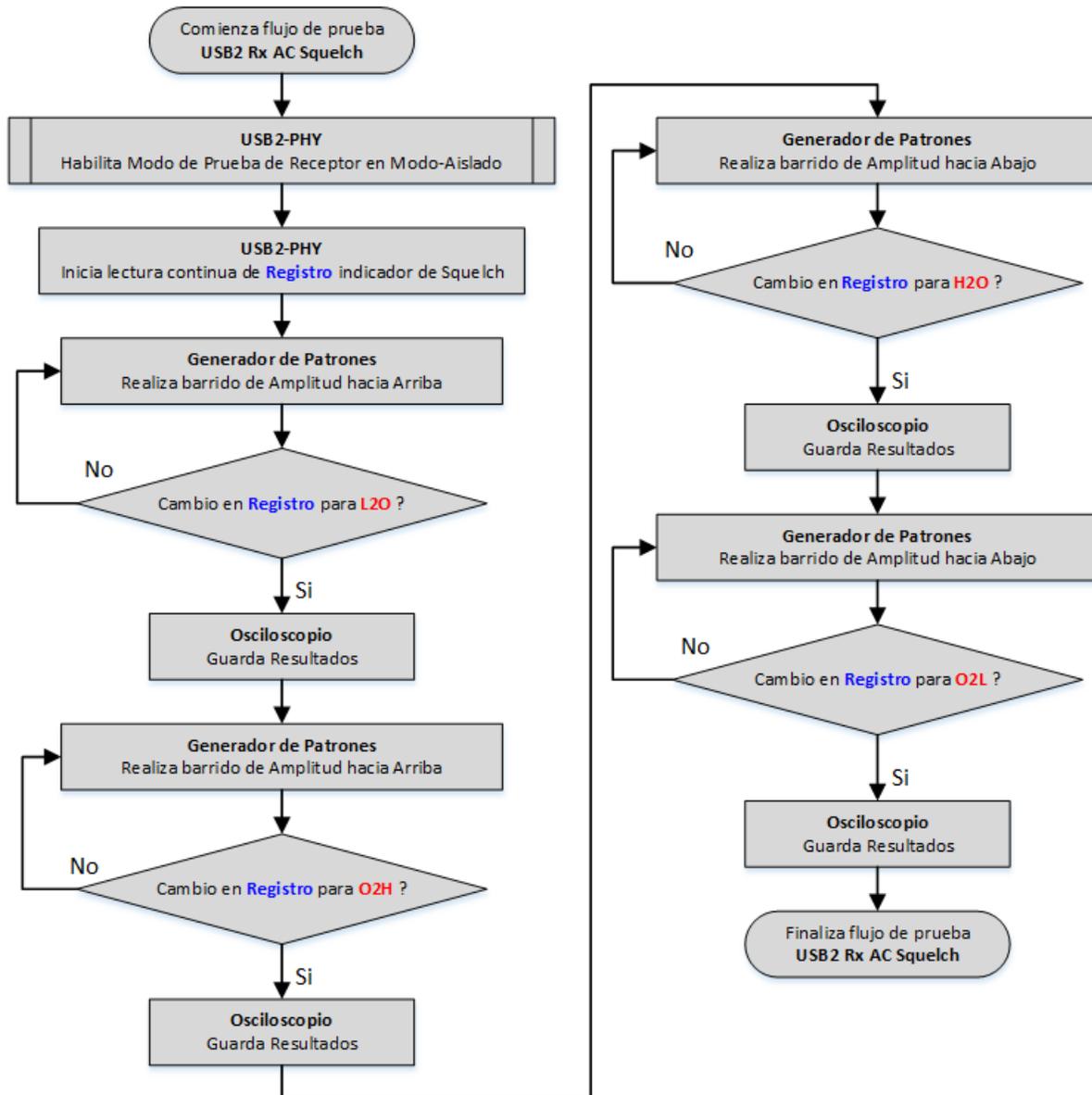


Figura 9. Flujo de prueba USB2 Rx AC Squelch
Elaboración propia

3.3.4. Ejecución de prueba

La prueba se ejecuta desde la terminal de comandos de Python para el DUT. La función de Python para esta prueba requiere de una lista de parámetros separados por coma, los cuales incluyen, pero no están limitados a: (Número de serie del DUT, Puerto USB2 bajo prueba, Condición de Voltaje, Condición de Temperatura).

A continuación, se muestran tres ejemplos de comandos de Python, en donde se muestra la ejecución de prueba para el mismo número de serie del DUT (0001) para diferentes puertos USB2 de la plataforma de validación (P1, P2, P3) y diferentes condiciones de temperatura y voltaje a las que es sometido el DUT; voltaje nominal (NomV), voltaje alto (HighV), voltaje bajo (LowV). Temperatura nominal (NomT), temperatura baja (LowT), temperatura alta (HighT).

```
>>> USB2.Rx_AC_Squelch(0001, P1, 'NomV', 'NomT')
>>> USB2.Rx_AC_Squelch(0001, P2, 'HighV', 'LowT')
>>> USB2.Rx_AC_Squelch(0001, P3, 'LowV', 'HighT')
```

3.4. AUTOMATIZACIÓN DE PRUEBA

El código de programación, en Python, para la prueba *Rx AC Squelch* se encuentra integrado en el repositorio de pruebas de validación y automatización de recursos de *Intel® Corporation*. Este repositorio proporciona los lineamientos para estandarizar el intercambio y reutilización de SW en base a un esquema de bloques de contenido de código, que define, entre otras cosas, la convención de nombres, sintaxis de programación, estructura de clases, definición de métodos (funciones).

Estos bloques de contenido pueden ser visualizados como piezas de construcción individuales que se pueden combinar para formar bloques más grandes, es decir, dentro del ámbito de esta investigación, el código de prueba implementado se compone de los siguientes bloques de código individuales para:

- Acceso a registros del DUT.
- Dfx de USB2-PHY para habilitar el receptor en modo aislado.

- Generador de patrones para el barrido de amplitud de la señal de estímulo.
- Osciloscopio para capturar el umbral de sensibilidad del receptor.
- Reporte de resultados del caso de prueba.

Estos bloques se combinan en un bloque superior para formar un flujo de prueba de USB2 en el dominio de SIV para prueba de receptor, el cual a su vez constituye un bloque de mayor nivel para un segmento de producto, programa de validación y versión de producto en específico.

Aviso de protección de información. La integración del código de programación en el repositorio de pruebas de validación y automatización de recursos corresponde a Información Confidencial de *Intel® Corporation*, por lo tanto, no se pueden proporcionar detalles adicionales.

4. RESULTADOS

En esta sección se presentan los resultados para la prueba *Rx AC Squelch* en base a tres escenarios distintos. En el primero se presentan dos secuencias de encendido de la plataforma de validación para el mismo puerto USB2 utilizando el voltaje de referencia por default del receptor y un valor menor. En el segundo escenario se muestran los resultados de la prueba *Rx AC Squelch* para diferentes topologías y longitudes de trazo de los puertos USB implementadas en la plataforma de validación. El siguiente escenario muestra los resultados de la prueba bajo diferentes condiciones de voltaje y temperatura del DUT.

En la sección final se muestran los resultados tomando como línea base la prueba de conformidad de Sensibilidad de Receptor en Modo Device, de acuerdo a USB-IF, para demostrar la efectividad y confiabilidad de la prueba *Rx AC Squelch* en Modo Host implementada en esta investigación.

En cada gráfica de resultados se incluye la representación del límite inferior, que corresponde al valor de 100 mV definido por USB-IF. Los valores de la escala del eje vertical (Eje Y) de las gráficas han sido omitidos de manera deliberada para no comprometer los intereses de propiedad intelectual de *Intel® Corporation*.

4.1. RESULTADOS DE PRUEBA RX AC SQUELCH

Los resultados mostrados en la Figura 10 se tomaron con el valor optimizado del parámetro de sintonización del voltaje de referencia del receptor (*Vref_Default*) así como con un valor menor (*Vref_Menor*), con la finalidad de comprobar que el nuevo método de prueba responde de manera correcta a cambios en los registros de optimización de USB2-PHY para el receptor de USB2.

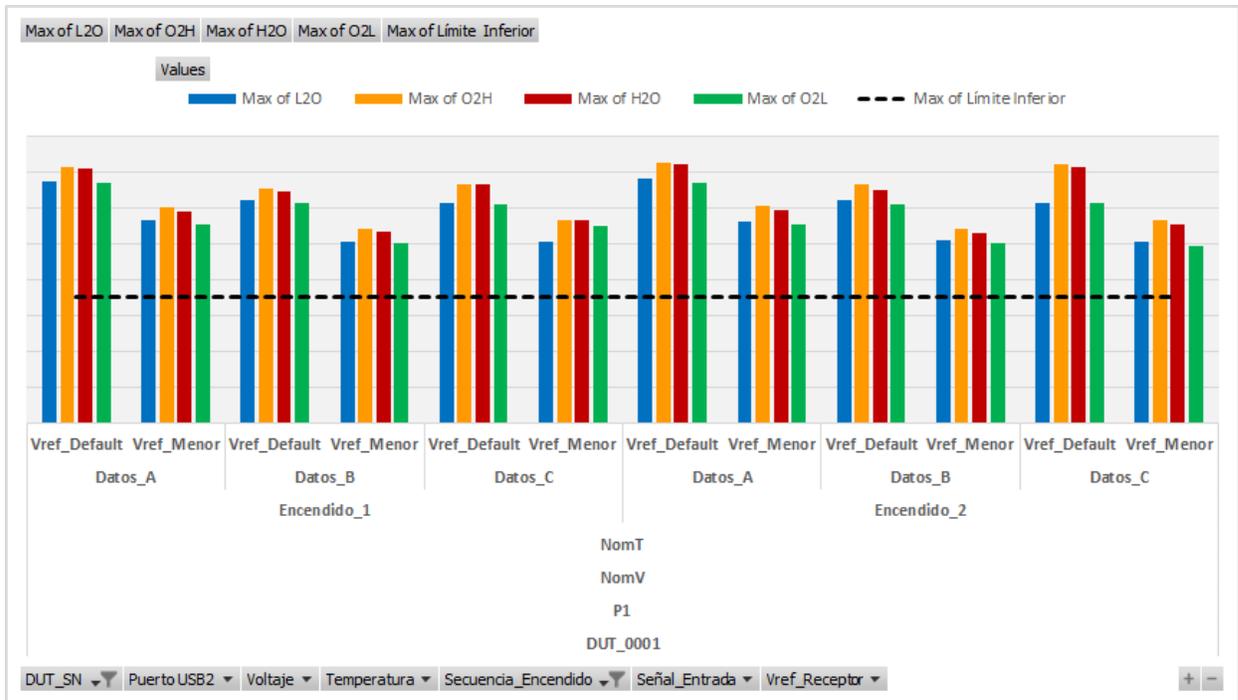


Figura 10. Resultados Rx AC Squelch voltajes de referencia
Elaboración propia

En la Figura 10 se observa que el rango de valores de oscilación para el Vref_Default es superior a los valores de oscilación para el Vref_Menor para los tres paquetes de datos de entrada (Datos_A, Datos_B, Datos_C); este comportamiento se comprobó con dos secuencias de encendido de la plataforma de validación, lo que implica a su vez secuencias diferentes de ejecución de prueba.

En la Figura 11 se muestran los resultados obtenidos para la prueba Rx AC Squelch para diferentes topologías y conectores de USB implementados en la plataforma de validación. Se observa que la prueba es capaz de validar eléctricamente el circuito receptor de USB2 para los diferentes puertos USB2 disponibles.

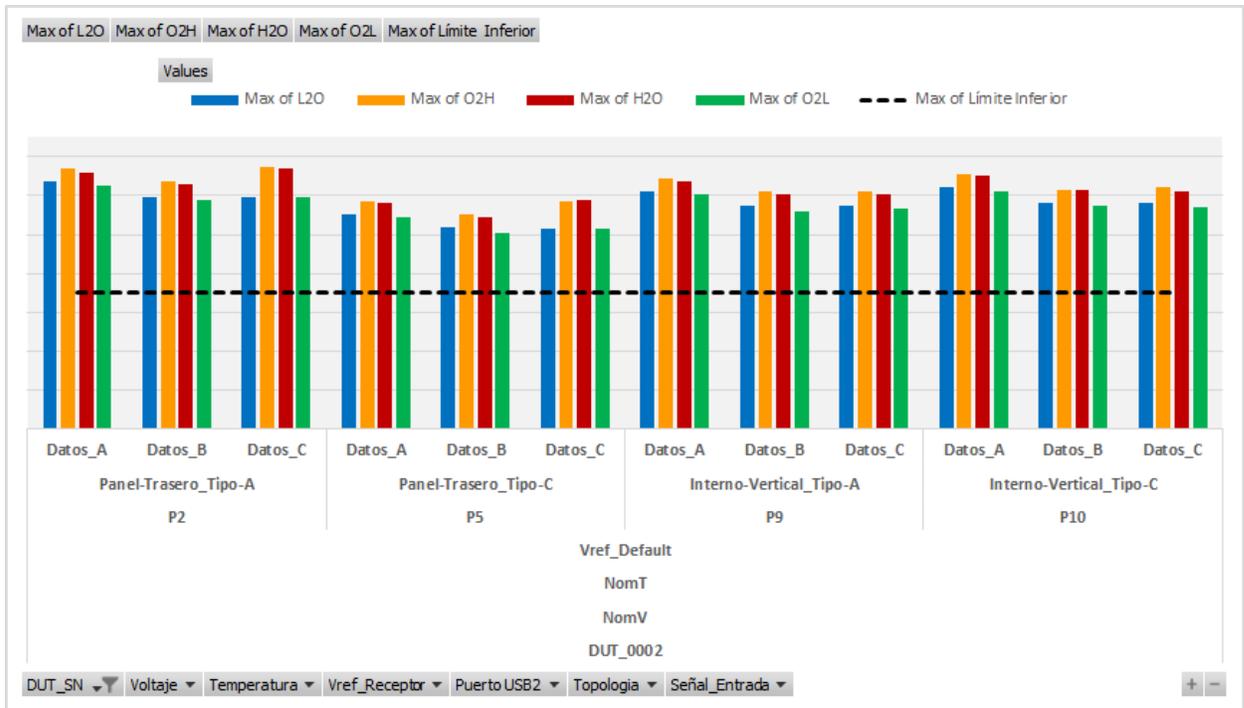


Figura 11. Resultados Rx AC Squelch topologías
Elaboración propia

Las topologías mostradas en la Figura 11 corresponden a Panel-Trasero y Conector-Interno Vertical para puertos USB Tipo-A y Tipo-C.

4.1.1. Verificación con variaciones de voltaje y temperatura

Se analizaron dos casos de prueba con el objetivo de validar que la prueba Rx AC Squelch es capaz de responder a cambios de temperatura y voltaje del DUT.

En el primer caso, voltaje alto, temperatura baja, la temperatura del DUT se fuerza a mantenerse a 0 °C con una fuente de temperatura externa, y los rieles de voltaje del DUT se incrementan en +5% de su valor nominal.

En el segundo caso, voltaje bajo, temperatura alta, la temperatura del DUT se fuerza a mantenerse a 100 °C con una fuente de temperatura externa, y los rieles de voltaje del DUT se reducen en -5% de su valor nominal.

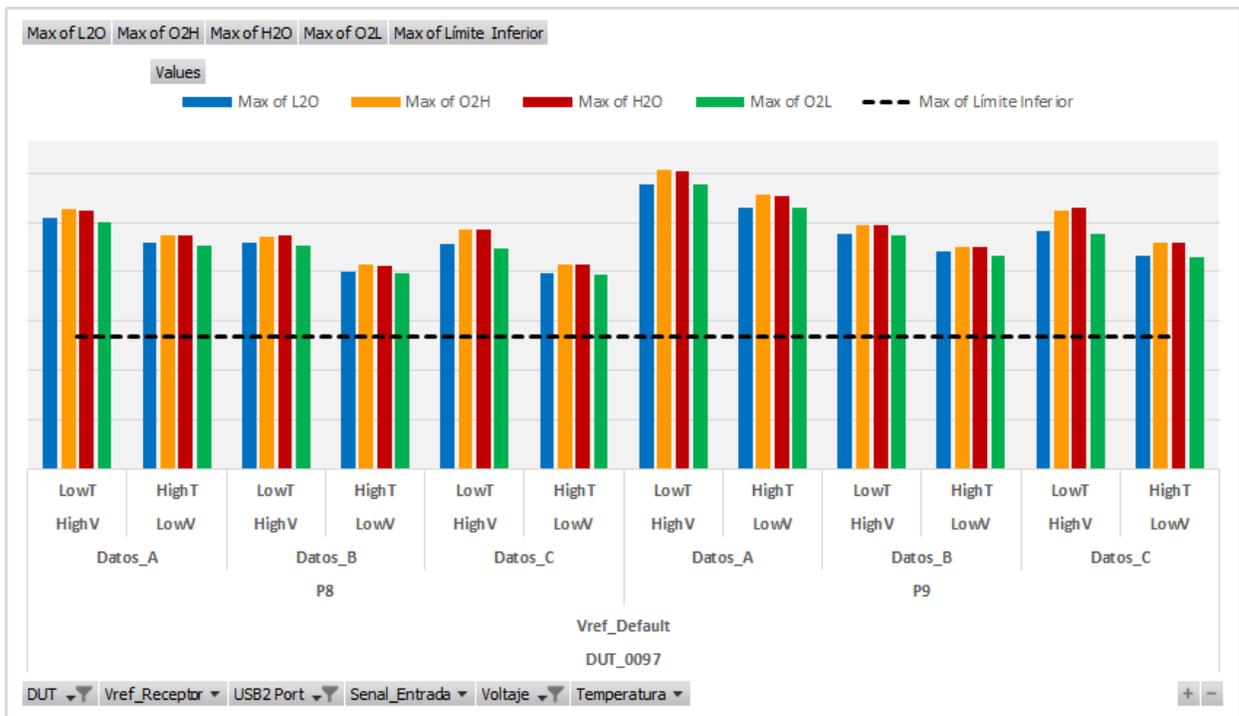


Figura 12. Resultados Rx AC Squelch voltaje y temperatura
Elaboración propia

En la Figura 12 se observa que los valores de oscilación del receptor cambian en base a las condiciones de voltaje y temperatura a las que es sometido el DUT. De manera general se comprueba que el umbral de oscilación del receptor de USB2 para las funcionalidades de *Squelch* (L2O, O2L) y *Unsquelch* (O2H, H2O) responde de manera diferente a través de condiciones cambiantes de voltaje y temperatura del DUT para cada uno de los paquetes de datos de entrada.

4.2. CORRELACIÓN DE RESULTADOS

La combinación de los efectos que ocurren en una línea de transmisión, tales como reflexiones y ruido causados por el funcionamiento de otras interfaces y por las fuentes de los rieles de voltaje de la plataforma de validación, resultan en un comportamiento diferente para el receptor de USB2, en base al hecho de que la prueba de Sensibilidad de Receptor y la prueba Rx AC Squelch se habilitan desde diferentes capas dentro de la interfaz de USB2. La prueba de Sensibilidad de

Receptor se habilita desde el controlador de USB, y la prueba *Rx AC Squelch* es habilitada desde USB2-PHY.

En la Figura 13 se muestra la comparación de resultados obtenidos para la prueba de Sensibilidad de Receptor, habilitando USB2 Modo Device, bajo Windows OS y la prueba *Rx AC Squelch* en Modo Host. Ambas pruebas fueron ejecutadas bajo las mismas condiciones y utilizando el mismo sistema de prueba.

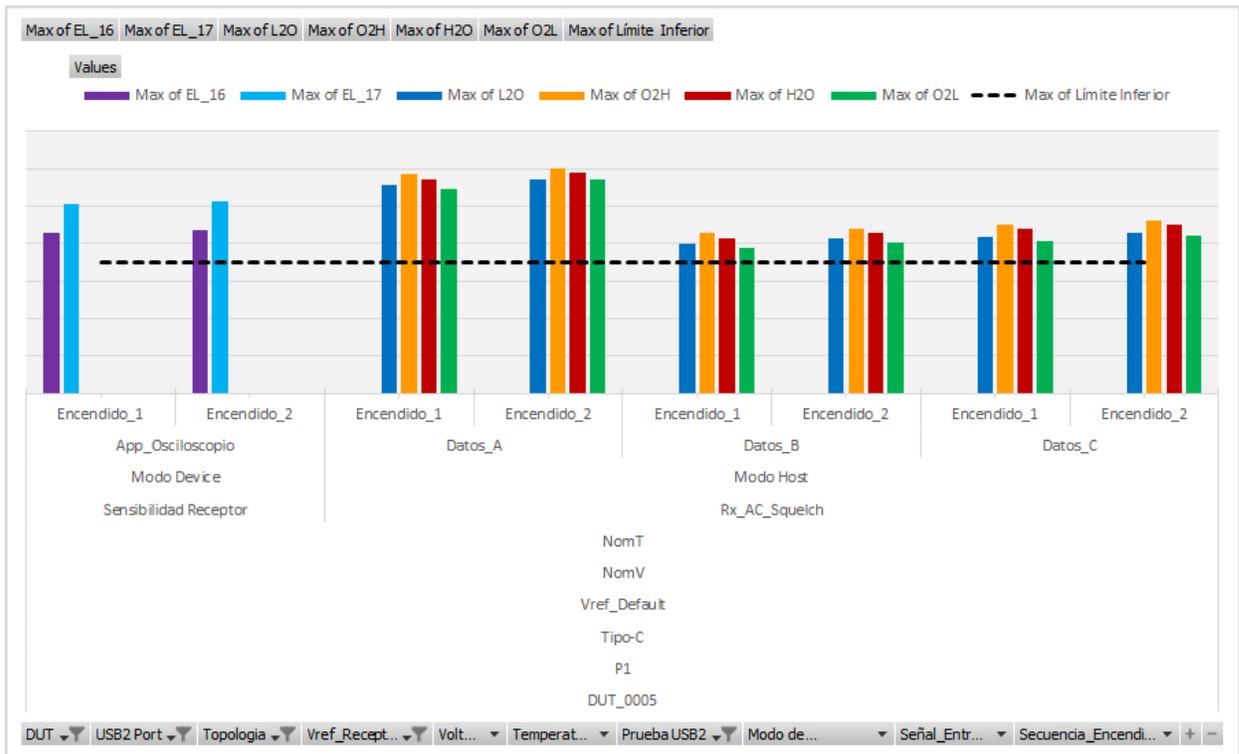


Figura 13. Correlación de Sensibilidad de Receptor y *Rx AC Squelch*
Elaboración propia

En la Figura 13 se observa que para un puerto USB tipo C, los resultados de la prueba de Sensibilidad de Receptor obtenidos con dos secuencias de encendido de la plataforma son equiparables; a su vez los resultados obtenidos para la prueba *Rx AC Squelch* para dos secuencias de encendido de la plataforma son también equiparables para los diferentes paquetes de datos de la señal de entrada.

En esta etapa de la investigación se tuvo clara indicación de que la implementación del método de prueba alterno, *Rx AC Squelch* para la interfaz de USB2, es efectiva para las actividades de validación eléctrica del circuito receptor de USB2 en productos de microprocesadores.

CONCLUSIONES

El correcto desempeño eléctrico de los circuitos transmisores y receptores de USB2 en base a la validación de los parámetros eléctricos, permite obtener una interfaz estable que funciona de manera apropiada en el ecosistema de un microprocesador, en el ecosistema de la plataforma de validación y finalmente en los diseños de los fabricantes de equipos electrónicos.

Este trabajo presenta la estrategia de optimización de la validación eléctrica post-silicio para USB2 en diseños de microprocesadores. Se cumple con el objetivo general planteado al inicio, a través del diseño e implementación de una nueva forma de efectuar la validación de integridad de señal de USB2 en modo *Host* para el circuito receptor que puede ser utilizada durante el primer ciclo de vida de validación de un nuevo producto.

Los objetivos específicos se cumplen por lo siguiente: el beneficio de la prueba *Rx AC Squelch* radica en que se puede ejecutar de manera directa e independiente, además la automatización del nuevo método de prueba ayuda a evitar errores humanos e incrementa la repetibilidad y la confianza en los resultados. A su vez se evalúan los mismos parámetros eléctricos definidos por USB-IF para la sensibilidad del receptor de USB2.

La hipótesis se comprueba en base a que el método de prueba desarrollado proporciona un alto nivel de funcionalidad para ambos comportamientos del circuito receptor de USB2, evitando la complejidad del controlador de USB y su integración con el sistema operativo Windows. Es ideal para validar versiones tempranas de productos donde el controlador de USB2 todavía está en desarrollo y ayuda a asegurar el cumplimiento de los diversos entregables en el ciclo de vida de validación del producto.

Debido al tiempo limitado con el que cuentan los equipos de validación para efectuar sus pruebas, este enfoque es útil y representa un beneficio tangible en la

estrategia de validación eléctrica de USB2. Este método de prueba tiene el potencial de cumplir con requerimientos críticos y demandas de desempeño para la validación de USB2 en un microprocesador.

RECOMENDACIONES

Hemos mencionado que la importancia del nuevo método de prueba, *Rx AC Squelch*, radica en que permite validar los parámetros eléctricos de sensibilidad del receptor de USB2 en Modo *Host* para *Squelch* y *Unsquelch*, lo cual es particularmente adecuado en versiones iniciales de nuevos productos.

Se recomienda mantener el flujo de prueba continuamente actualizado con la finalidad de poder integrar las nuevas capacidades y mejoras implementadas en el repositorio de pruebas de validación y automatización de recursos. Actualmente una de las mejoras proyectadas en dicho repositorio consiste en obtener de manera automática el número de serie del DUT sin necesidad de que el usuario del laboratorio lo ingrese manualmente, lo cual simplifica la ejecución de la prueba y elimina la posibilidad de error de ingresar un valor incorrecto o inexistente.

Trabajos posteriores pueden encargarse de incorporar un nuevo método de prueba para el circuito receptor de USB2 en Modo *Host*, que incorpore el componente digital (DC) de la señal de entrada y reutilice los bloques de contenido de código de programación para el DFX de USB2-PHY del receptor. Esta implementación futura puede a su vez reutilizar el mismo registro indicador de *Squelch* para validar eléctricamente los umbrales de voltaje donde el receptor silencia señales de ruido y responde de manera confiable a señales de datos válidas.

APORTACIÓN DE LA TESIS

La aportación de la prueba USB2 Rx AC *Squelch* al estado del arte se resume en que es una solución completa e independiente, en la cual la habilitación de la funcionalidad de sensibilidad del receptor de USB2 y el contenido de la señal de estímulo se encuentran embebidos en el flujo de la prueba. Las ventajas de este nuevo método de prueba, para productos de microprocesadores de Intel ®, se resumen en eficiencia, desempeño, valor y flexibilidad.

- **Eficiencia:** para poder ser ejecutado de manera independiente, es decir, sin dependencias de los componentes de SW de Windows OS y controlador de USB.
- **Desempeño:** para validar eléctricamente el circuito receptor de USB2 utilizando los mismos límites de especificación definidos por USB-IF para la prueba de conformidad de Sensibilidad de Receptor.
- **Valor:** para proporcionar a la organización de Validación Eléctrica una herramienta adicional de prueba que puede ser incorporada en la estrategia de validación de productos en los diferentes segmentos de la compañía.
- **Flexibilidad:** para recolección de datos en etapas tempranas de nuevos diseños de microprocesadores y poder ser utilizado en cualquier etapa del ciclo de vida de validación de nuevos productos.

APORTACIÓN SOCIAL DE LA TESIS

La gran mayoría de los productos tecnológicos de cómputo de la actualidad incorporan a la interfaz de USB2. A medida que los diseños de microprocesadores se miniaturizan, que las velocidades de operación del sistema aumentan, se integran cada vez más funcionalidades y debido a que los ciclos de validación son cada vez más cortos, es evidente que los retos de la Validación Eléctrica Post-Silicio se incrementan de manera continua. Por estas razones la validación de integridad de señal del receptor de USB2 debe asegurarse durante la primera versión de un nuevo producto. Para superar estos retos se requiere un nuevo enfoque de prueba. La aportación social de esta tesis radica en que el método de prueba propuesto permite acortar el ciclo de validación, asegurar la calidad de los productos, cumplir con las especificaciones de diseño y satisfacer los requisitos de desempeño esperados por el usuario final.

REFERENCIAS

- ANDERSON, D. D. (2001). *Universal Serial Bus System Architecture* (2nd Edition ed.). Addison-Wesley Developer's Press. doi:ISBN: 0-201-46137-4
- CAMARENA, M. R. (2020). Alternative Test Flow for the Electrical Validation of USB 2.0 Receiver Circuits. *Memorias del Congreso Internacional de Investigación Academia Journals Tabasco 2020*, 12(6), 141-145. doi:ISSN 1946-5351. Disponible en: <https://www.academiajournals.com/pubtabasco2020>
- JOU, S. K. (2001). A Serial Link Transceiver for USB2 High-Speed Mode. IEEE. doi:10.1109/ISCAS.2001.922172. Disponible en: <https://ieeexplore.ieee.org>
- KESHAVA, J. H. (2010). Post-silicon Validation Challenges: How EDA and Academia Can Help. IEEE. doi:10.1145/1837274.1837278. Disponible en: <https://ieeexplore.ieee.org>
- KEYSIGHT. (2019). Keysight D9010USBC USB 2.0 Compliance Test Application. Notes on Electrical Testing. Obtenido de <https://www.keysight.com>
- KUMAR, M. S. (2013). An Approach for In-House USB2.0 Electrical Compliance Testing on nanoscale SoC. IEEE. doi:10.1109/MTV.2013.29. Disponible en: <https://ieeexplore.ieee.org>
- MITRA, S. S. (2010). Post-Silicon Validation Opportunities, Challenges and Recent Advances. IEEE. doi:10.1145/1837274.1837280. Disponible en: <https://ieeexplore.ieee.org>
- TIANG, B. T. (2016). Fast and Accurate USB2.0 High Speed Buffer Transmit Tuning Flow. IEEE. doi:10.1109/IEMT.2016.7761990. Disponible en: <https://ieeexplore.ieee.org>
- USB-IF. (2000). Universal Serial Bus Specification. USB-IF. Obtenido de <https://www.usb.org>
- USB-IF. (2012). On-The-Go and Embedded Host Supplement to the USB revision 2.0 Specification. *revision 2.0 version 1.1a*. USB-IF. Obtenido de <https://www.usb.org>
- USB-IF. (2016). USB 2.0 Electrical Compliance Test Specification. *version 1.06*. Obtenido de <https://www.usb.org>
- USB-IF. (2017). Universal Serial Bus Type-C Cable and Connector Specification. *Release 1.3*. USB-IF. Obtenido de <https://www.usb.org>
- WEIGUO, W. H. (2007). Design and Implementation of Automatic Test Instrument for Digital Circuits based on USB 2.0 Interface. IEEE. doi:10.1109/ISCAS.2001.922172. Disponible en: <https://ieeexplore.ieee.org>