



**DISEÑO E IMPLEMENTACIÓN DE UN ALGORITMO PARA
OPTIMIZAR INTERFACES DE TRANSMISIÓN DE ALTA
VELOCIDAD DE UN SISTEMA EN CHIP (SoC)**

TESIS

PARA OBTENER EL GRADO DE

**MAESTRO EN
SISTEMAS INTELIGENTES MULTIMEDIA**

PRESENTA

I.E.S.C.D. ISMAEL DURÓN ROSALES

ZAPOPAN, JALISCO, SEPTIEMBRE 2017.



4 de Abril de 2017

Dr. Miguel González Valadez
Director de posgrado

El abajo firmante, miembro del Comité Tutorial del alumno I.E.S.C.D. Ismael Durón Rosales, una vez revisada la Tesis titulada: "Diseño e implementación de un algoritmo para optimizar interfaces de transmisión de alta velocidad de un sistema en chip (SoC)", autoriza que el citado trabajo sea presentado por el alumno para la revisión del mismo con el fin de alcanzar el grado de Maestro en Sistemas Inteligentes Multimedia durante el Examen de Titulación correspondiente.

Y para que así conste se firma la presente a los 4 días del mes de Abril del año 2017.

Dr. Miguel Bernal Marín


Asesor Académico y de Planta



19 de abril de 2017

Respetables miembros del Jurado

Me ha tocado el honor de haber sido designado Revisor del trabajo titulado **“DISEÑO E IMPLEMENTACIÓN DE UN ALGORITMO PARA OPTIMIZAR INTERFACES DE TRANSMISIÓN DE ALTA VELOCIDAD DE UN SISTEMA EN CHIP (SoC)”** del I.E.S.C.D. **ISMAEL DURÓN ROSALES.**

Después de haber leído detalladamente el trabajo que me fue entregado, he tenido la oportunidad de intercambiar información con el sustentante y como resultado de estas acciones he concluido que: El trabajo cumple con los requisitos suficientes para obtener el grado, por lo que no tengo ningún inconveniente en emitir esta carta de aprobación, a fin de que pueda seguir con sus trámites correspondientes para su titulación.

El trabajo tiene los siguientes aspectos positivos:

- 1.- Excelente correlación entre el desarrollo de sus hipótesis con sus resultados.
- 2.- En su redacción menciona la fuente de todo trabajo no original.
- 3.- Es una importante aportación para reducción en tiempo de optimización.

El trabajo tiene las siguientes oportunidades de mejora:

- 1.- Que mencione algunos aspectos para realizar un trabajo a futuro.

Haciendo un análisis crítico del trabajo y balanceando lo positivo y las oportunidades de mejora, considero **RECOMENDAR** al Jurado que le otorgue el Grado de Maestro en Sistemas Inteligentes Multimedia, al I.E.S.C.D. **ISMAEL DURÓN ROSALES**, por lo que acepto se imprima el trabajo de tesis.

No obstante lo anterior, le solicitaría al sustentante me responda las siguientes preguntas:

En su redacción en los antecedentes menciona que sorprendente reducción de tamaño en los transistores, ha ocasionado que tanto el diseño, fabricación y validación de estos dispositivos sea muy complejo., por lo que me surge la siguiente pregunta.

1.- ¿Por qué la reducción en tamaño hace que la validación se convierta más compleja?

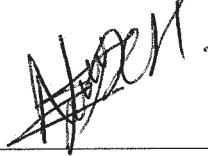
En la sección 3.1.3 menciona que el algoritmo de optimización lo realiza con Python.

2.- ¿Por qué uso Python?

3.- ¿Comparo Python con algún otro software?

Le agradecería al Honorable Jurado tenga en consideración la propuesta de otorgar el Grado que pongo a su consideración.

Atentamente



Dr. Nery Delgadillo Checa

DEDICATORIA

A mi esposa Amalia, quien ha sacrificado su misma persona para apoyarme en cada decisión profesional y ser infinitamente paciente conmigo.

Amalia: no tengo palabras para expresarte todo el amor y agradecimiento.

Tú eres parte de este logro. Eternamente...

A mi hijo Isaac, quien todos los días me preguntaba si iba a estudiar o si mejor jugábamos juntos.

Isaac, mi viejo amigo. Gracias por tu sabia e inocente comprensión de niño.

Nunca te podré recompensar ese sacrificio.

A mi hijo Gabriel, quien me esperaba en casa con los brazos abiertos al llegar de estudiar.

Gabriel, mi pequeño amigo. Gracias por tu sonrisa que me dio ánimo.

Saber que me esperabas era un gran aliento.

A mis padres y mis hermanos, quienes siempre me demostraron su apoyo ante cualquier situación.

A mis abuelos, a quienes siempre recuerdo para motivarme a alcanzar lo que me proponga.

AGRADECIMIENTOS

La maestría es una travesía larga, y como la mayoría de las travesías me ha enriquecido con la gente que se conoce durante el camino.

Quiero agradecer a todos mis colegas de Intel® Guadalajara, en especial a Francisco Rangel, Edgar Vega y Miguel Bernal quienes me orientaron y apoyaron durante la investigación de esta tesis. Gracias por toda esa retroalimentación que me permitió llegar a resultados de mejor calidad.

También quiero agradecer a mis amigos y compañeros de CIATEQ, por su gran trabajo en equipo durante los diferentes proyectos realizados durante la maestría. Aprendí de ustedes y me llevo un gran recuerdo.

Agradezco a mis amigos y excompañeros de la Universidad Autónoma de Aguascalientes. Quedarán siempre muy grabadas en mi memoria aquellas charlas compartidas entre tragos, donde platicamos de mucho en tan poco tiempo.

RESUMEN

La presente investigación ha sido desarrollada con el objetivo de incrementar la eficiencia en un proceso de sintonización del transmisor de alta velocidad de los SoC de Intel®. Dicho proceso consume típicamente entre cuatro y cinco días de trabajo regular de un ingeniero de validación eléctrica, además de ser una tarea recurrente que se realiza casi de manera manual.

Uno de los aportes importantes de esta tesis es la de reducir el tiempo de sintonización del circuito de ecualización del transmisor de alta velocidad del SoC, a tan solo un par de horas. Esto se logró desarrollando un algoritmo de optimización que minimiza una función objetivo representativa de los parámetros eléctricos medidos del transmisor de alta velocidad.

La automatización del sistema de medición y optimización, fue hecha en lenguaje Python. Dicha automatización se encargó de controlar el equipo de pruebas de última tecnología (osciloscopio de tiempo real), el acceso al circuito de ecualización del transmisor y del flujo del algoritmo de optimización.

Además, la optimización de la ecualización del transmisor de alta velocidad (10 Gigabits por segundo) fue verificada y validada en casos extremos de operación, variando el voltaje del SoC y cambiando la temperatura en la que estaba siendo evaluado. Los resultados de la sintonización por medio del algoritmo de optimización de esta tesis, demuestran que el transmisor cumplió satisfactoriamente las mediciones eléctricas de los límites descritos en su especificación funcional, incluso con este tipo de estrés aplicado al SoC.

Finalmente, algunas otras pruebas de verificación del algoritmo de optimización fueron implementadas para revisar la repetibilidad y estabilidad en los resultados. La optimización de la ecualización del transmisor de alta velocidad demostró ser robusta y confiable. Esta da un alto grado de confianza de que el algoritmo de optimización llegará a una sintonización óptima capaz de cumplir con las pruebas eléctricas de su especificación.

GLOSARIO

ADC	Analog to Digital Converter (convertidor de señal analógica a digital).
BUJ	Bounded Uncorrelated Jitter (jitter delimitado sin correlación).
BUN	Bounded Uncorrelated Noise (ruido delimitado sin correlación).
CDR	Clock-Data Recovery (circuito de recuperación de reloj y datos).
DAC	Digital to Analog Converter (convertidor de señal digital a analógica).
DCD	Duty Cycle Distortion (distorsión del ciclo de trabajo).
DDJ	Data-Dependent Jitter (jitter dependiente del dato).
DDN	Data-Dependent Noise (ruido dependiente del dato).
DFE	Decision-Feedback Equalizer (circuito ecualizador de decisión con retroalimentación de un receptor de alta velocidad).
DJ	Deterministic Jitter (jitter determinístico).
DMA	Direct Memory Access (interfaz de acceso directo a memoria).
DN	Deterministic Noise (ruido determinístico).
DRAM	Dynamic Random Access Memory (memoria de acceso dinámico aleatorio).
DSP	Digital Signal Processor (procesador digital de señales).
Ethernet	Sistema de interfaz estándar para la conexión de dispositivos para redes.
FFE	Feed-Forward Equalizer (circuito ecualizador de pre-alimentación de un transmisor de alta velocidad).
FIR	Finite Impulse Response (Respuesta de Impulso Finito).
Gbps	Giga Bit per second (1000 millones de bits en 1 segundo).
HDMI	High-Definition Multimedia Interface (interfaz estándar de transmisión de video).
HW	Todo lo referente al Hardware.
IP	Intellectual Property (propiedad intelectual).
Jitter	Variaciones en el tiempo de una señal con respecto a su posición original.
MGJ	Multiple Gaussian Jitter (jitter Gaussiano multiple).
MGN	Multiple Gaussian Noise (ruido Gaussiano multiple).
NM	Nelder-Mead (método de triangulación para minimizar una función).
PCIe	Peripheral Component Interconnect Express (interfaz estándar de conexión para puertos de expansión de alta velocidad).

PDF	Probability Density Function (función de probabilidad de densidad)
PJ	Periodic Jitter (jitter periódico).
PLL	Phase-Locked Loop (circuito de bucle de enganche de fase).
PN	Periodic Noise (ruido periódico).
Post-Silicio	Etapas de un semiconductor después de ser fabricado.
Pre-Silicio	Etapas de un semiconductor antes de ser fabricado.
PVT	Process/Voltage/Temperature (variaciones en el proceso de fabricación, voltaje y temperatura).
RAM	Random Access Memory (memoria de acceso aleatorio).
RJ	Random Jitter (jitter aleatorio).
RMS	Root Mean Square (valor cuadrático medio.)
RN	Random Noise (ruido aleatorio).
SATA	Serial Advanced Technology Attachment (interfaz estándar de conexión para dispositivos de almacenamiento).
Semilla	Valores iniciales de coeficientes de ecualización no optimizados.
SerDes	Serializer/Deserializer (circuito de serialización/de-serialización de datos).
SFF	Small Form-Factor (interfaz de conexión miniatura para dispositivos ópticos).
SFI	SerDes Framer Interface (interfaz de configuración de SerDes).
SFP+	Small Form-Factor Pluggable (interfaz de estándar para interconexión de dispositivos ópticos).
SGJ	Single Gaussian Jitter (jitter Gaussiano simple).
SGN	Single Gaussian Noise (ruido Gaussiano simple).
SMA	SubMiniature version A (cable de conexión para interfaces de alta velocidad).
SoC	System on Chip (Sistema en Chip).
SW	Todo lo referente al Software.
TJ	Total Jitter (jitter total).
USB	Universal Serial Bus (interfaz estándar para conexión de dispositivos seriales).

NOMENCLATURA

R_E	Respuesta de la integridad de señal del sistema.
$h_{\mu H}$	Media del histograma del histograma superior de la amplitud del ojo.
$h_{\mu L}$	Media del histograma del histograma inferior de la amplitud del ojo.
J_T	Jitter total presente en el diagrama de ojo.
\mathbf{x}	Coefficientes de ecualización.
ψ	Condiciones de operación (voltaje y temperatura).
e_h	Alto del ojo.
σ_H	Desviación estándar del histograma promedio alto.
σ_L	Desviación estándar del histograma promedio bajo.
w_1	Factor de peso para normalización de mediciones de alto de ojo.
w_2	Factor de peso para normalización de mediciones de ancho de ojo.
$u(\mathbf{x})$	Función objetivo inicial para la optimización.
$\mathbf{x}^{(i)}$	k puntos base , distribuidos aleatoriamente, de mediciones de alto de ojo y jitter total.
\mathbf{x}^*	Problema de optimización para el sistema de integridad de señal.
$l_1(\mathbf{x})$	Restricción de maximización del límite superior del diagrama de ojo.
$l_2(\mathbf{x})$	Restricción de maximización del límite inferior del diagrama de ojo.
V_H^{ub}	Límites de la máscara del diagrama de ojo según especificación de voltaje superior.
V_L^{lb}	Límites de la máscara del diagrama de ojo según especificación de voltaje inferior.
$U(\mathbf{x})$	Función objetivo sin restricción y con coeficiente de penalización.
$L(\mathbf{x})$	Función de penalización de los límites de la máscara del diagrama de ojo.
ρ^l	Coefficiente de penalización.
$\mathbf{x}^{(0)}$	Punto inicial de optimización.

ÍNDICE DE CONTENIDO

1	INTRODUCCIÓN	1
1.1	ANTECEDENTES	1
1.2	DEFINICIÓN DEL PROBLEMA	1
1.3	JUSTIFICACIÓN	2
1.4	OBJETIVOS	2
1.4.1	Objetivo General	3
1.4.2	Objetivos Específicos	3
1.5	HIPÓTESIS	3
2	FUNDAMENTOS TEÓRICOS	5
2.1	ESTADO DEL ARTE	5
2.2	MARCO TEÓRICO	6
2.2.1	¿Qué es la Validación Post-silicio?	7
2.2.2	Conceptos Básicos de un Sistema en Chip (SoC)	9
2.2.3	Funcionamiento y Aplicaciones de un SerDes	11
2.2.3.1	Transmisor de Alta Velocidad.	13
2.2.3.2	Ecualización en el Transmisor	14
2.2.4	Protocolo de Comunicación	18
2.2.4.1	SFI	18
2.2.5	Diagrama de Ojo	19
2.2.5.1	Mediciones comunes	20
2.2.5.2	Máscara	22
2.2.6	Ruido y Jitter	23
2.2.6.1	Función de Densidad de Probabilidad	25
2.2.6.2	Histogramas de Jitter y Ruido	27
2.2.7	Algoritmo de Optimización	30
2.2.8	Función Objetivo	30
2.2.9	Método Nelder-Mead.	31
3	PROCEDIMIENTO DE INVESTIGACIÓN	35
3.1	CONFIGURACIÓN DEL SISTEMA	35
3.1.1	Tarjeta de Circuito Impreso para Validación	36
3.1.2	Osciloscopio de Tiempo Real	36
3.1.3	Control de Optimización y Automatización	37
3.2	Mediciones del sistema	38
3.3	Formulación y optimización de la función objetivo	39

3.4	Diagrama de flujo del algoritmo de optimización	42
4	RESULTADOS	47
4.1	PROGRESO DE OPTIMIZACIÓN DEL DIAGRAMA DE OJO CON SEMILLA 1	52
4.2	PROGRESO DE OPTIMIZACIÓN DEL DIAGRAMA DE OJO CON SEMILLA 2	54
4.3	VERIFICACIÓN CON VARIACIONES DE VOLTAJE Y TEMPERATURA	56
4.4	GRÁFICAS DE OPTIMIZACIÓN DE COEFICIENTES DE ECUALIZACIÓN	58
4.5	GRÁFICAS DE OPTIMIZACIÓN DE LA FUNCIÓN OBJETIVO	60
4.6	DESEMPEÑO DE LA OPTIMIZACIÓN	61
4.7	APORTE DE EFICIENCIA DEL ALGORITMO DE OPTIMIZACIÓN	62
5	CONCLUSIONES	65
6	RECOMENDACIONES	67
7	REFERENCIAS BIBLIOGRÁFICAS	69

ÍNDICE DE FIGURAS

Figura 2.1 - Etapas en el flujo del diseño y manufactura de un SoC.	8
Figura 2.2 – Diagrama a bloques general de un SoC para aplicaciones de periféricos.	10
Figura 2.3 - Integración de múltiples IP dentro de un SoC.	11
Figura 2.4 - Diagrama a bloques de un SerDes básico.	13
Figura 2.5 - Diagrama a bloques simplificado de un transmisor de alta velocidad.	14
Figura 2.6 - Diagrama a bloques de un FFE de tres coeficientes.	15
Figura 2.7 - Señal transmitida sin ecualización.	16
Figura 2.8 - Señal transmitida con ecualización.	17
Figura 2.9 - Distorsión de señal debido al canal de transmisión.	17
Figura 2.10 - Aplicación típica de ecualización de transmisor para evitar distorsión.	18
Figura 2.11 - Diagrama de ojo de una señal digital ideal de alta velocidad.	20
Figura 2.12 - Diagrama de ojo de una señal digital típica de alta velocidad.	20
Figura 2.13 - Diagrama general de medición del diagrama de ojo en un osciloscopio.	21
Figura 2.14 - Puntos de medición de parámetros en un diagrama de ojo.	21
Figura 2.15 - Ejemplo de una máscara para diagrama de ojo.	23
Figura 2.16 - Una señal digital ideal comparada contra una señal ruidosa.	24
Figura 2.17 - Esquema de Clasificación del Jitter desde una perspectiva estadística.	25
Figura 2.18 - Esquema de Clasificación del Ruido desde una perspectiva estadística.	25
Figura 2.19 - Gráfica de PDF de RJ.	26
Figura 2.20 - Gráficas de PDF para componentes de PJ.	27
Figura 2.21 - Distribución normal de datos.	29
Figura 2.22 - Tipos de Histogramas de Jitter de una señal.	29
Figura 2.23 - Pasos de triangulación del algoritmo Nelder-Mead.	32
Figura 3.1 - Configuración del Sistema.	36
Figura 3.2 - Diagrama de Ojo y su máscara con variables para Función Objetivo.	38
Figura 3.3 - Diagrama de Flujo Principal de la Optimización.	43
Figura 3.4 - Diagrama de Flujo de la Subrutina de la Función Objetivo.	44
Figura 3.5 - Diagrama de Flujo de la Subrutina de Medición del Diagrama de Ojo.	45
Figura 4.1 - Máscara de Diagrama de Ojo para criterio de aceptación.	47
Figura 4.2 - Optimización de la Amplitud Pico a Pico.	49
Figura 4.3 - Optimización de Alto del Ojo.	50

Figura 4.4 - Optimización de Ancho del Ojo.	51
Figura 4.5 - Diagrama de Ojo de Semilla 1 Inicial.	52
Figura 4.6 - Diagrama de Ojo de Semilla 1 después de 2 iteraciones.	52
Figura 4.7 - Diagrama de Ojo de Semilla 1 después de 10 iteraciones.	53
Figura 4.8 - Diagrama de Ojo de Semilla 1 después de 30 iteraciones.	53
Figura 4.9 - Diagrama de Ojo de Semilla 2 Inicial.	54
Figura 4.10 - Diagrama de Ojo de Semilla 2 después de 2 iteraciones.	54
Figura 4.11 - Diagrama de Ojo de Semilla 2 después de 10 iteraciones.	55
Figura 4.12 - Diagrama de Ojo de Semilla 2 después de 28 iteraciones.	55
Figura 4.13 - Diagrama de Ojo en condición de Voltaje Alto y Temperatura Baja.	57
Figura 4.14 - Diagrama de Ojo en condición de Voltaje y Temperatura Típicos.	57
Figura 4.15 - Diagrama de Ojo en condición de Voltaje Bajo y Temperatura Alta.	58
Figura 4.16 - Repetibilidad de Coeficientes de Ecuación con Semilla 1.	59
Figura 4.17 - Repetibilidad de los Coeficientes de Ecuación con Semilla 2.	60
Figura 4.18 - Comportamiento de la minimización de la Función Objetivo.	61
Figura 4.19 - Desempeño del Algoritmo de Optimización.	62

ÍNDICE DE TABLAS

Tabla 2.1 - Mediciones comunes de un diagrama de ojo.	22
Tabla 4.1 - Resultados de Optimización para 2 semillas de coeficientes.	48
Tabla 4.2 - Porcentajes de Optimización para 2 semillas de coeficientes.	48
Tabla 4.3 - Resultados con cambios de voltaje y temperatura.	56
Tabla 4.4 - Porcentaje de Variación con cambios de voltaje y temperatura.	56
Tabla 4.5 - Comparativo de optimización tradicional vs. algoritmo de optimización.	63

ÍNDICE DE ECUACIONES

Ecuación 2.1 - Expresión matemática de un FFE.	16
Ecuación 2.2 - Función de Densidad de Probabilidad de RJ.	26
Ecuación 2.3 - Función de Densidad de Probabilidad de PJ rectangular.	27
Ecuación 2.4 - Función de Densidad de Probabilidad de PJ triangular.	27
Ecuación 2.5 - Función de Densidad de Probabilidad de PJ sinusoidal.	27
Ecuación 2.6 - Vectores de los vértices diferentes de cero.	32
Ecuación 3.1 - Función Objetivo Inicial para la optimización.	39
Ecuación 3.2 - Función Objetivo Final para la optimización.	41

1 INTRODUCCIÓN

Este primer capítulo se encargará de dar un prólogo sobre la investigación realizada en la presente tesis. Estos son los temas que serán desarrollados: Antecedentes, Definición del problema, Justificación, Objetivo general, Objetivos específicos e Hipótesis.

1.1 ANTECEDENTES

El avance en la tecnología de semiconductores, ha hecho que la integración de los transistores esté en escala de nanómetros. Esta sorprendente reducción de tamaño en los transistores, ha ocasionado que tanto el diseño, fabricación y validación de estos dispositivos sea muy complejo.

En la actualidad, existen sistemas en chip (SoC, por sus siglas en inglés) que incorporan cientos de millones de transistores, y como se ve la rapidez en su avance tecnológico, muy pronto tendremos diseños que contendrán más de un billón de transistores.

La complejidad de estos nuevos diseños trae como consecuencia que probar su desempeño y funcionamiento correcto antes de que entren a producción, sea un verdadero reto. Actualmente el costo de la validación de un SoC está incrementándose mucho más rápido que el mismo costo del diseño. Para enfrentar esta problemática, se requieren metodologías y algoritmos innovadores que permitan validar estas nuevas tecnologías de semiconductores de forma eficiente.

1.2 DEFINICIÓN DEL PROBLEMA

Uno de los mayores retos en el área de la validación eléctrica de SoC, es la sintonización de los circuitos transmisores de datos. Dentro del transmisor, el circuito de ecualización es el que se debe de sintonizar adecuadamente para mitigar los

efectos adversos del canal de comunicación.

El proceso de sintonización del circuito de ecualización en el transmisor es uno de los que más tiempo consumen en la validación eléctrica, ya que la práctica actual se basa en un método exhaustivo de pruebas, y depende en alta manera del conocimiento experto de los ingenieros de validación.

La inmensa cantidad de parámetros eléctricos, junto con el número de circuitos a sintonizar, convierte a la tarea de sintonización en un gran desafío. Para superar estas limitaciones, se requiere el diseño e implementación de algoritmos de optimización, nuevas técnicas de instrumentación y automatización que, en conjunto, sean capaces de sintonizar los circuitos de transmisión de manera eficiente.

1.3 JUSTIFICACIÓN

La investigación que se desarrolla en esta tesis, está enfocada en el diseño y la implementación de un algoritmo de optimización que encuentre la mejor sintonización de los parámetros de la señal de transmisión (del circuito de ecualización) de un SoC, para que con esto pueda cumplir con la validación eléctrica del diagrama de ojo de su especificación funcional, de una manera rápida, eficiente y automatizada.

Los beneficios que se obtienen de esta eficiencia en el proceso de validación son:

- a) Reducción en los tiempos y costos de validación del SoC.
- b) Eliminación de errores en las pruebas debido al factor humano.
- c) Alto grado de confiabilidad de que el uso de un algoritmo de optimización nos dará la mejor ecualización posible en el transmisor.

1.4 OBJETIVOS

Los siguientes apartados dan información detallada de lo que se pretende obtener de la investigación.

1.4.1 Objetivo General

Diseñar e implementar un algoritmo de optimización para la sintonización del circuito de ecualización en el transmisor de alta velocidad de un SoC.

1.4.2 Objetivos Específicos

Del objetivo general enunciado anteriormente, se desglosan los siguientes objetivos específicos:

- a) Realizar una investigación del estado del arte para la sintonización del circuito de ecualización del transmisor de alta velocidad.
- b) Desarrollar un algoritmo de optimización para la sintonización del circuito de ecualización del transmisor de alta velocidad.
- c) Desarrollar la formulación matemática de la función objetivo para el algoritmo de optimización.
- d) Automatizar el flujo de la sintonización para medir los parámetros de la señal del transmisor con un diagrama de ojo, en conjunto con el algoritmo de optimización.
- e) Demostrar las capacidades del algoritmo de optimización de la sintonización del transmisor con velocidad de 10.3125 Gbps.
- f) Demostrar que después que la sintonización en el transmisor haya sido optimizada, la medición del diagrama de ojo cumplirá satisfactoriamente con los rangos requeridos por la máscara.
- g) Demostrar que se reduce significativamente el tiempo invertido para la sintonización del transmisor.

1.5 HIPÓTESIS

“Si se utiliza un algoritmo para la optimización de parámetros de ecualización de un transmisor, se reducirá el tiempo de su sintonización, se logrará cumplir con las métricas de su diagrama de ojo y por lo tanto se mejorará el desempeño del SoC.”

2 FUNDAMENTOS TEÓRICOS

2.1 ESTADO DEL ARTE

Existen diversos circuitos de sintonización en el diseño de un transmisor de alta velocidad, los cuales están enfocados a compensar los efectos nocivos del canal de comunicación en interfaces de alta velocidad. El objetivo principal de configurar los circuitos de sintonización, es el de encontrar el valor óptimo que garantice una comunicación libre de errores dentro de cierta especificación industrial para lograr un desempeño óptimo en el sistema [1].

Sin embargo, el proceso de sintonización puede volverse extenso si existen muchas variables (o circuitos) a ajustarse. Por ejemplo, para obtener el diseño óptimo de un filtro de respuesta de impulso finito (FIR, por sus siglas en inglés), los valores de sus circuitos de sintonización pueden llegar a tener miles de combinaciones diferentes de coeficientes [2]. En este caso, una simulación de un diagrama de ojo de un patrón estresante en el transmisor, puede tardar más de una hora en generarse, para una sola combinación de coeficientes de ecualización [2]. Así pues, el tiempo total de todas las simulaciones de diagramas de ojos para cada una de las combinaciones de coeficientes de sintonización puede tomar miles de horas [2].

Es por tal motivo, que en el campo de la ingeniería microelectrónica, se han buscado diferentes métodos de optimización para los circuitos de un transmisor de alta velocidad, con el objetivo de reducir el tiempo de sintonización.

Una de las técnicas consiste en considerar el peor caso posible en una simulación del diseño del transmisor antes de su fabricación [3]. Una de las condiciones para que esta técnica pueda ser implementada, es precisamente el de conocer el peor caso de desempeño del transmisor, lo cual requiere de un modelo simulado de su circuito sea estresado exhaustivamente por alrededor de diez días [3].

Existen otros métodos de sintonización donde se combinan las respuestas de

ecualización tanto de transmisión como de recepción. Esta técnica modela una interfaz de alta velocidad por medio de una simulación donde se contemplan las perturbaciones del canal de comunicación, la interferencia y el ruido en la señal [4]. En dicha simulación, se realizan casos de prueba con combinaciones diferentes de canales de transmisión y circuitos de ecualización, para medir sus respuestas por medio de diagramas de ojo.

Sin embargo, las investigaciones mencionadas consideran únicamente modelos y simulaciones como entrada de sus métodos o técnicas de optimización, ya que son mayormente usadas durante las fases tempranas como la de diseño y validación pre-silicio (véase sección 2.2.1).

La metodología que se propone en esta investigación de tesis contempla el uso de un algoritmo de optimización directa (véase sección 2.2.9) de una función objetivo (véase 2.2.8) formulada a través del análisis matemático de los parámetros medidos en trasmisor por medio de un diagrama de ojo (véase sección 2.2.5.2), con base a respuestas generadas por mediciones en tiempo real con la ayuda de un osciloscopio.

2.2 MARCO TEÓRICO

En esta sección se muestran los principios y conceptos generales sobre las teorías existentes que sustentan la investigación de esta tesis. Los temas que se desarrollan tienen una secuencia que permita tener los fundamentos teóricos involucrados en la investigación. El contenido de los temas se presenta a continuación:

- a) La validación post-silicio, para que sirve y cuál es su alcance.
- b) Definición de un SoC, cuál es su arquitectura y como está integrado.
- c) La porción del Serializador-Deserializador (SerDes) de alta velocidad dentro del SoC, de que bloques se compone y cuales son sus aplicaciones más comunes.

- d) El transmisor de alta velocidad en un SerDes, su circuito de ecualización y como ayuda en la calidad de la comunicación.
- e) Los efectos del ruido y el jitter en una señal, las técnicas para identificarlo y como lidiar con ellos.
- f) El diagrama de ojo de una forma de onda, como se construye y las métricas más comunes que se pueden tomar en él.
- g) El concepto de optimización, función objetivo y el algoritmo de interés para esta investigación (Nelder-Mead).

2.2.1 ¿Qué es la Validación Post-silicio?

Debido al incremento en la complejidad del diseño del SoC y en la reducción en los tiempos de entrega hacia los clientes, el paradigma del "diseño garantizado" ya no es válido. Es obligatorio cumplir con los requerimientos de entrega y especificaciones funcionales del SoC para asegurar la calidad en su diseño [5].

La validación post-silicio contempla todas las actividades de validación que se ejecutan después de la fabricación del primer prototipo de un SoC, hasta llegar a la etapa de manufactura en volumen. En contraste a otros tipos de validación que toman efecto antes de la fabricación del SoC (como la verificación pre-silicio), la validación post-silicio se realiza en el dispositivo físico real en lugar de su modelo de diseño (compuertas lógicas, circuitos analógicos, tiempos, etc.), lo que representa un alto grado de complejidad debido a recursos limitados de monitoreo y control [6].

Para darnos una idea en qué fase acontece la validación post-silicio, la Figura 2.1 (modificada de [7]) muestra un diagrama general de la secuencia de fases que toman lugar desde el diseño hasta la fabricación de un SoC.

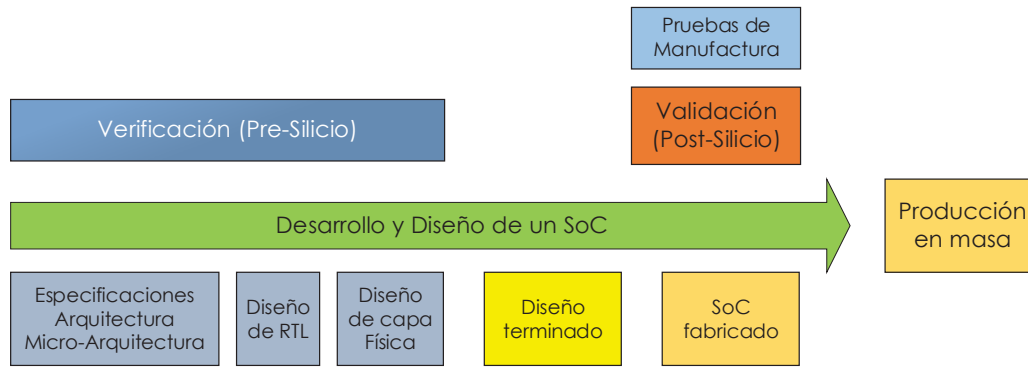


Figura 2.1 - Etapas en el flujo del diseño y manufactura de un SoC.

Como se puede observar de la Figura 2.1, la finalidad de la validación post-silicio es la de ayudar a identificar errores en el diseño del SoC ya fabricado, y que pudieran haberse escapado en simulaciones y verificaciones pre-silicio.

La validación post-silicio se conoce como el proceso en el que el diseño de un SoC, es revisado funcionalmente en un ambiente de pruebas de laboratorio. En esta etapa de validación, el SoC se encuentra ensamblado en una tarjeta de pruebas o circuito impreso de referencia, junto con muchos otros componentes que son parte del sistema para lo que el SoC fue diseñado [7].

Algunos otros autores exponen que, la validación post-silicio, contempla todo aquel esfuerzo de validación realizado después de la fabricación de los primeros prototipos de un SoC pero antes que el producto sea liberado al mercado [8]. Dicha validación puede involucrar más de un SoC, donde se verifica su desempeño en ambientes reales con el objetivo de evaluar el funcionamiento correcto en ciertas condiciones específicas de operación [9].

En resumen, la validación post-silicio usualmente debe cubrir dos aspectos importantes:

- a) La verificación funcional de los primeros lotes de SoC fabricados, para detectar y corregir fallas a tiempo, en caso de que las hubiera. Esto es de suma importancia como métrica de calidad de diseño y fabricación.

- b) Las pruebas eléctricas de los dispositivos del SoC a través de variaciones en el proceso de fabricación, con cambios en las condiciones de voltaje y temperatura (PVT, por sus siglas en inglés). Esto da gran grado de confiabilidad de que el SoC fabricado cumplirá con los parámetros eléctricos según su especificación.

2.2.2 Conceptos Básicos de un Sistema en Chip (SoC)

Uno de los grandes beneficios que ha traído la miniaturización de la tecnología de los circuitos semiconductores, ha sido la capacidad de integrar cientos de millones de transistores en áreas microscópicas. Esto ha traído consigo que muchos diferentes bloques microelectrónicos se puedan integrar en un solo circuito empaquetado y, de tal manera, se forme lo que conocemos hoy en día como SoC.

Un SoC es un conjunto de microprocesadores, memorias y periféricos que pertenecen a un solo ensamble microelectrónico y que están diseñados para una cierta aplicación [10]. La Figura 2.2 (modificada de [11]) representa los diferentes bloques que pueden llegar a integrar un SoC: microprocesadores, memoria RAM, periféricos de entrada/salida, controladores de protocolos con interfaces de SATA, USB, PCIe, Ethernet, procesadores digitales de señales, convertidores análogo-digital y digital-análogo.

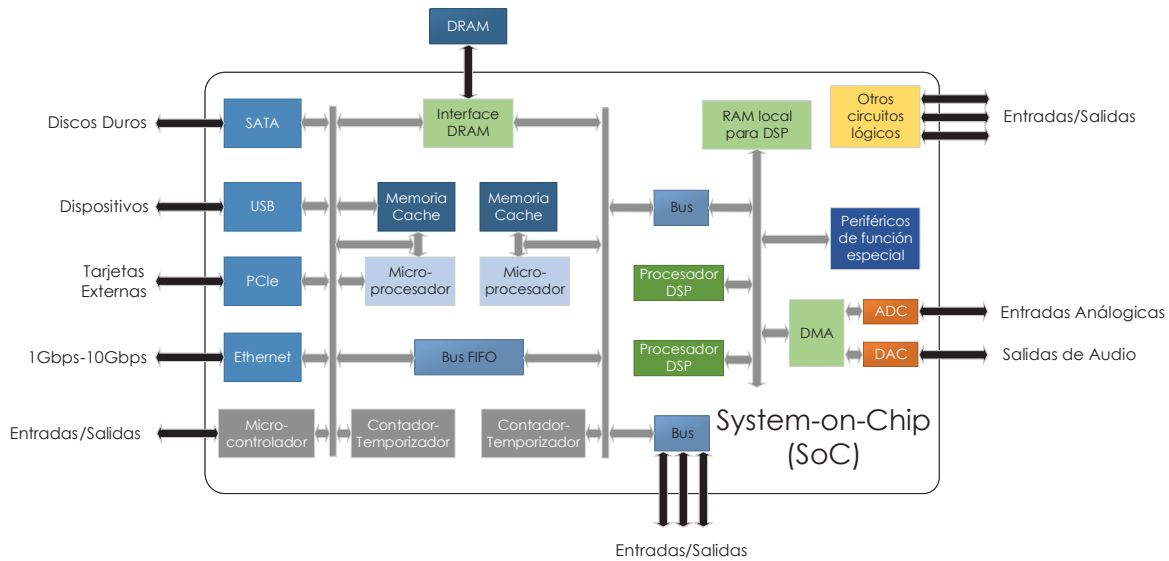


Figura 2.2 – Diagrama a bloques general de un SoC para aplicaciones de periféricos.

Por otro lado, la modernidad de los diseños que conforman un SoC muestra una tendencia muy clara hacia la integración de varios microprocesadores centrales. Existen expertos en el área microelectrónica que argumentan que entre más diminuto sea el nodo de tecnología de semiconductores con el que se diseña un SoC, el número de procesadores centrales dentro de él se incrementará para cumplir con las demandas de procesamiento [12].

Una de las grandes ventajas de tener tantos componentes interactuando dentro de un SoC, es la de permitir habilitar nuevas formas de funcionalidad en diversas aplicaciones al hacer uso de una combinación de software y hardware, donde cada elemento dentro del SoC puede ser visto como un bloque de propiedad intelectual (IP, por sus siglas en inglés) [13].

Para darnos una idea de como luce la integración de múltiples IP en el diseño microelectrónico dentro de un SoC, demos un vistazo a la Figura 2.3 (modificada de [14]). Dicha figura muestra la distribución de diferentes IP en un solo bloque de semiconductor. Se puede observar que dependiendo de la aplicación del SoC, se integran bloques IP para funciones de conectividad, almacenamiento, sincronía,

video, memoria y para múltiples protocolos de alta velocidad como Ethernet, USB, PCIe (por medio de un Serializador/Deserializador o SerDes, cuyo fundamento se detallará en la sección 2.2.3).

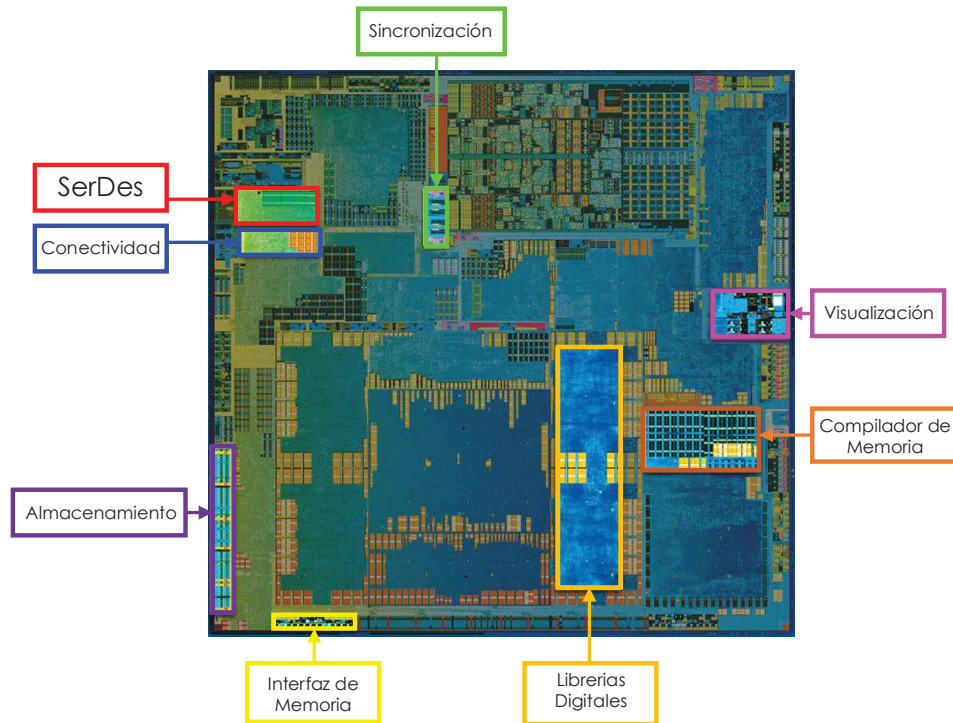


Figura 2.3 - Integración de múltiples IP dentro de un SoC.

Con respecto a las aplicaciones de los SoC, algunas de ellas pueden estar en los procesadores de redes, las centrales de datos multimedia y las telecomunicaciones. Como ejemplo específico, Intel® tiene un SoC de la serie Atom Z8000, el cual se aplica mayormente en dispositivos multimedia como tabletas electrónicas y computadoras portátiles.

2.2.3 Funcionamiento y Aplicaciones de un SerDes

En esencia, las comunicaciones de datos que se realizan en paralelo son intrínsecamente más rápidas que las que se hacen en forma serial. Por tal razón la comunicación paralela es muy usada en la transacción de datos entre buses de circuitos integrados o enlaces de muy corta distancia entre varios SoC. Sin embargo,

oponiéndose a lo anterior, la transferencia de datos en paralelo está siendo reemplazada por una comunicación serial en aplicaciones de interfaces de alta velocidad [15].

Como se había mencionado en la sección 2.2.2, todos los diferentes bloques IP que están integrados en un SoC tienen aplicaciones específicas. Como ejemplo particular, un bloque de comunicación de redes tipo Ethernet con transferencias en Gigabits/segundo, contiene bloques Serializadores/Deserializadores (SerDes, por sus siglas en inglés) que le permiten alcanzar velocidades de más de 10Gbps.

Básicamente, varios bloques de SerDes pueden integrarse dentro de un SoC como puertos de entrada/salida, o pueden aplicarse como componentes aislados que se comunican con un sistema de almacenamiento de datos, dispositivo multimedia o de procesamiento de gráficos. Los SerDes suelen ser usados también para interconectar servidores de centrales de almacenamiento de información, comunicarlos a través de interconexiones de tarjetas de circuito impreso hacia ruteadores de datos, o también para interconectar muchos SoC en aplicaciones que requieran grandes capacidades de procesamiento [16].

La Figura 2.4 (modificada de [17]) nos muestra el diagrama básico de los medios de transmisión y recepción de datos de un SerDes de alta velocidad. El transmisor serializa "n" datos paralelos, los ecualiza (ver sección 2.2.3.2), y luego los manda a través de un par diferencial. Los ecualizadores de pre-alimentación (FFE, por sus siglas en inglés) son comúnmente utilizados para contrarrestar efectos adversos en la señal ocasionados por el canal de transmisión [17], como se discutirá en la sección 2.2.3.2.

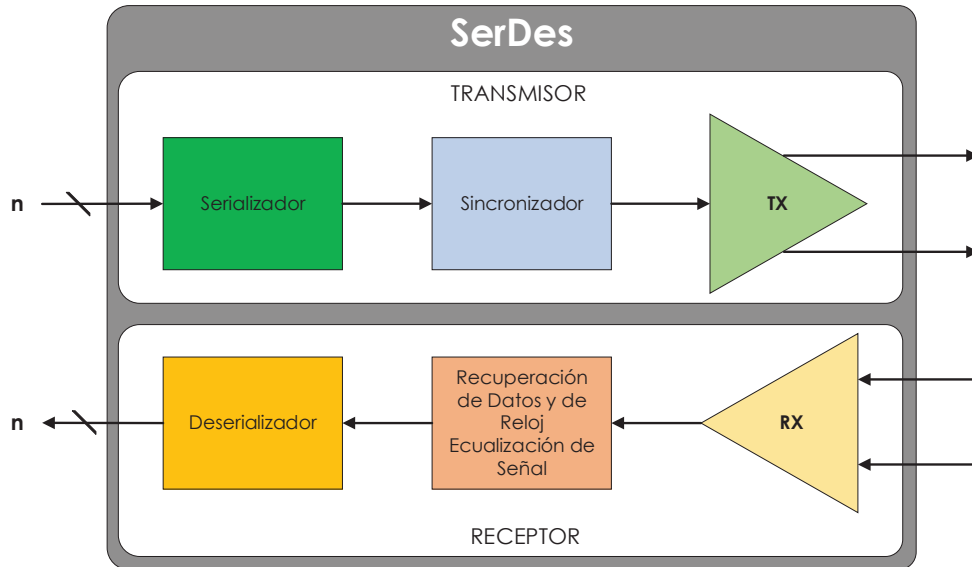


Figura 2.4 - Diagrama a bloques de un SerDes básico.

Aunque el bloque de recepción de un SerDes no es de interés para esta investigación de tesis, solo se mencionara lo básico. Este consiste en un receptor de par diferencial, un circuito de recuperación de reloj (CDR, por sus siglas en inglés), un deserializador de datos que toma en consideración de acuerdo con el punto de muestreo establecido por el CDR. El bloque de ecualización consiste en un amplificador y/o ecualizadores de decisión retroalimentados (DFE, por sus siglas en inglés) [17].

2.2.3.1 Transmisor de Alta Velocidad.

La función principal de un transmisor es la de convertir datos, representados por bits digitales, a una forma de onda analógica con amplitud y frecuencia, para que esta pueda ser propagada en un canal de transmisión. Un aspecto primordial en el diseño de un transmisor de alta velocidad, es el de generar una señal que tenga niveles de voltaje precisos y que tenga baja generación de ruido en el sistema donde esté funcionando.

Un transmisor genérico puede representarse con la Figura 2.5 (modificada de [18]). En este diagrama simplificado, los datos seriales codificados son sincronizados por medio de un reloj generado por un circuito de bucle de enganche de fase (PLL, por

sus siglas en inglés). Se incluye también un bloque de ecualización para mostrar la necesidad de compensar pérdidas en la señal de alta velocidad al final de un canal de comunicación. Con estos bloques, la señal es sincronizada y ecualizada para después ser alimentada hacia un amplificador de voltaje [18].

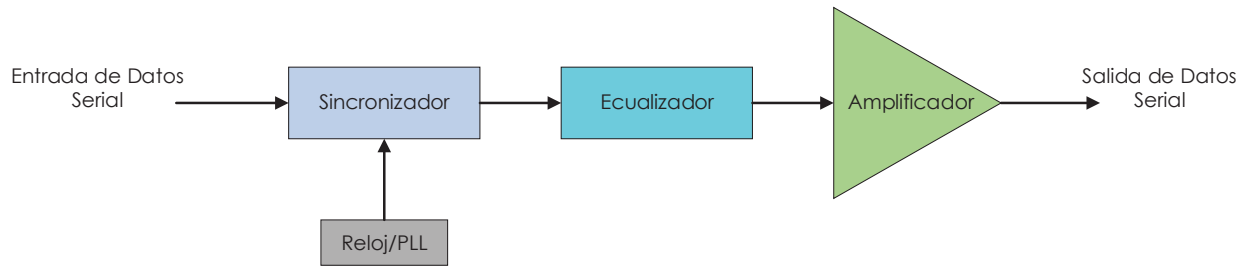


Figura 2.5 - Diagrama a bloques simplificado de un transmisor de alta velocidad.

2.2.3.2 Ecualización en el Transmisor

Este es uno de los temas esenciales a tratarse para la investigación de tesis. A pesar de que existen circuitos que permiten ecualizar la señal de un transmisor de alta velocidad, su ajuste no es sencillo y cualquier valor incorrecto podría generar más daño que beneficio. Es por tal razón que se debe entender a detalle el proceso de ecualización en un transmisor.

El término ecualización se define como el conjunto de técnicas para compensar la degradación que sufre una señal al pasar por un canal de comunicación. La idea principal detrás de la ecualización es la de corregir los datos de la señal que se transmite [19].

La ecualización en la transmisión de datos a alta velocidad ha sido de gran utilidad para contrarrestar los efectos nocivos de los canales de comunicación. El efecto que se produce en una señal transmitida debido a las características del canal, puede ser identificado visualmente a través de un diagrama de ojo (que se discutirá en la sección 2.2.5).

Para contrarrestar los de efectos nocivos en la señal transmitida, se utilizan dos tipos

básicos de ecualización: pre-énfasis y de-énfasis [18]. Dicha ecualización se hace por medio de circuitería capaz de pre-deformar los bits de la señal que se transmite, para que al atravesar el canal, sean fácilmente identificados entre unos y ceros lógicos. Entre los casos más típicos de circuitos ecualizadores se encuentra el del tipo de pre-alimentación (FFE, por sus siglas en inglés).

Un FFE es básicamente un filtro FIR con coeficientes de ecualización predeterminados. El pre-énfasis incrementa la intensidad del contenido de la señal en alta frecuencia relativo al de baja frecuencia. El de-énfasis reduce la intensidad del contenido de la señal en baja frecuencia relativo al de alta frecuencia. Ambos, pre-énfasis y de-énfasis, tienen como objetivo principal reducir la degradación de la forma de onda que se presenta al final del canal de transmisión [18].

La mayoría de las implementaciones de un transmisor en un SerDes incluyen un circuito FFE. El diagrama a bloques de un FFE de tres coeficientes se muestra en la Figura 2.6 (modificada de [17]). Los datos seriales son retrasados intencionalmente por varios circuitos flip-flop, que hacen la función de coeficientes en el filtro FIR. Cada coeficiente se multiplica por un valor y los resultados de los tres son sumados a la salida del transmisor [17].

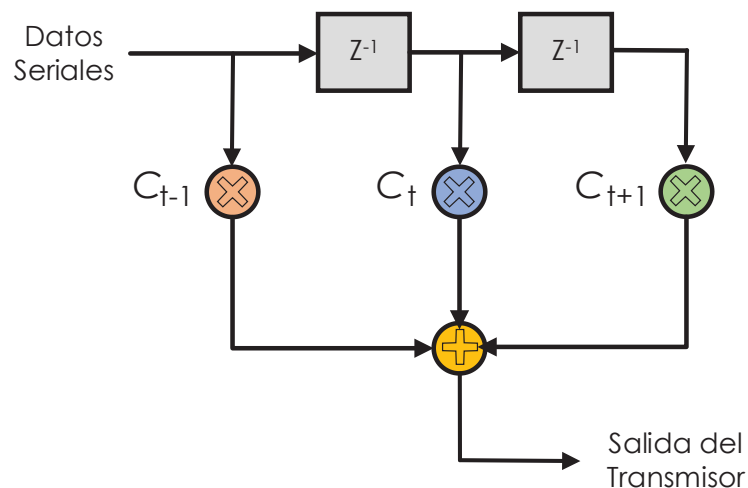


Figura 2.6 - Diagrama a bloques de un FFE de tres coeficientes.

Dependiendo de las características del canal de transmisión, es el tipo de FFE que se debe de utilizar. Para canales de transmisión con poca pérdida, típicamente se usa un FFE con dos coeficientes de ecualización (un cursor principal y un post-cursor). Ahora bien, para canales de transmisión con mucha pérdida, se usa un FFE con tres coeficientes (un cursor principal, un post-cursor y un pre-cursor) [20].

Un FFE de tres coeficientes de ecualización es representado por la siguiente expresión matemática en la Ecuación 2.1 (tomada de [20]):

$$X_n = c_{-1}a_{n+1} + c_0a_n + c_{+1}a_{n-1}$$

Ecuación 2.1 - Expresión matemática de un FFE.

Donde c_n es el coeficiente y a_i es el dato. El dato a_{n+1} es referido como pre-cursor, a_n como el cursor principal y a_{n-1} como post-cursor. De tal forma, los tres coeficientes asociados con ellos son llamados coeficiente pre-cursor (c_{-1}), coeficiente cursor (c_0) y coeficiente post-cursor (c_{+1}) respectivamente [20]. En las formas de onda mostradas en la Figura 2.7 y la Figura 2.8, se puede apreciar el efecto de la ecualización en la señal de un transmisor diferencial.

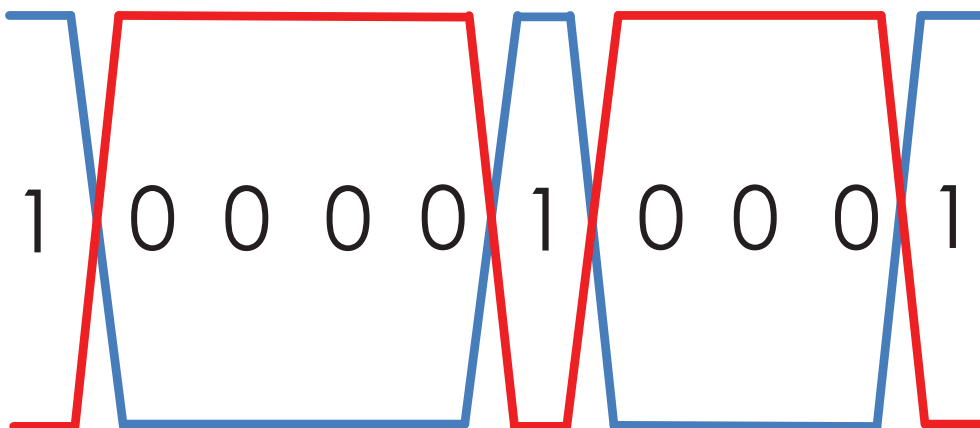


Figura 2.7 - Señal transmitida sin ecualización.

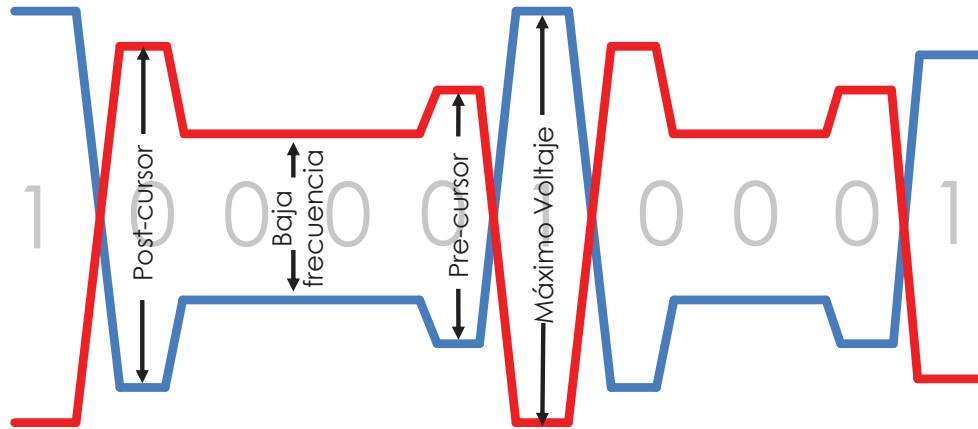


Figura 2.8 - Señal transmitida con ecualización.

Las aplicaciones prácticas de la ecualización del transmisor pueden ser observadas en la Figura 2.9 y Figura 2.10 (modificadas de [17]). En la Figura 2.9 se ilustra una señal que se ve limpia, sin ecualizar y donde se pueden distinguir los bits con facilidad antes del canal de transmisión (trazo o pista de una tarjeta electrónica, conectores o cables). Sin embargo, al pasar por el canal de transmisión, si se observa la señal al final de este canal, la distorsión es tan grave que no se pueden diferenciar los bits entre unos y ceros [17].

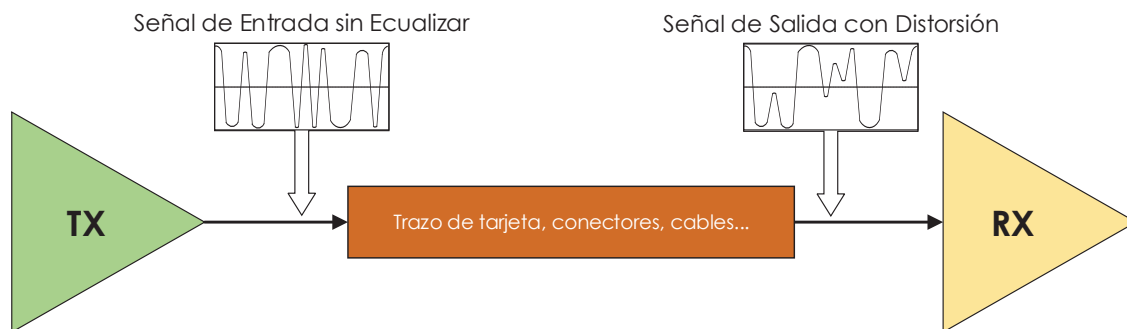


Figura 2.9 - Distorsión de señal debido al canal de transmisión.

Debido a este tipo de problemas que ocasionan una mala integridad de la señal que se desea transmitir, es necesario que esta sea ecualizada en el transmisor para contrarrestar los efectos de distorsión debido al canal y para que los datos sean decodificados de mejor forma por el receptor.

La Figura 2.10 muestra el efecto de la ecualización en la señal del transmisor. La ecualización pre-distorsiona los datos con una función de transferencia casi inversa a la respuesta en frecuencia del canal. Este efecto de pre-distorsión en la señal, permite que esta llegue libre de errores a la entrada del receptor [17].

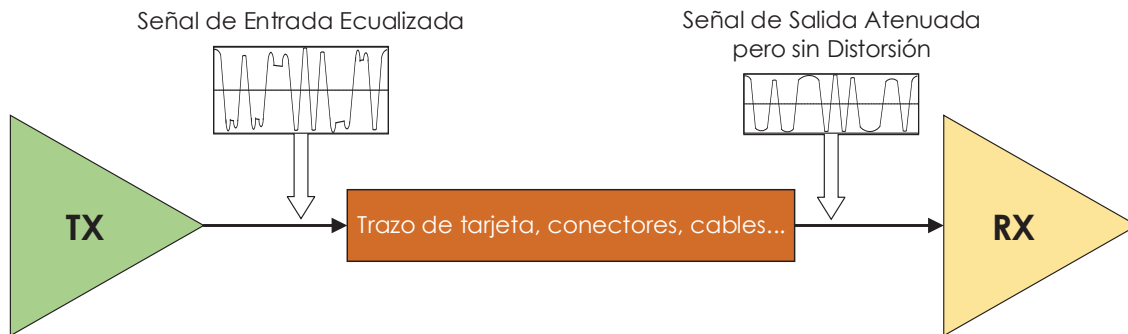


Figura 2.10 - Aplicación típica de ecualización de transmisor para evitar distorsión.

2.2.4 Protocolo de Comunicación

Los dispositivos de comunicación a alta velocidad son frecuentemente usados como parte de una implementación de una interfaz estandarizada bajo cierto protocolo [17]. En el caso de esta investigación de tesis, el protocolo de comunicación de interés está clasificado dentro de los que pertenecen a redes. Un protocolo de red generalmente incluye muchas capas de funcionalidad [17].

2.2.4.1 SFI

Las siglas SFI provienen del inglés SerDes Framer Interface. SFI es un protocolo de comunicación que se aplica interfaces de alta velocidad. Este protocolo usa transmisión y recepción múltiple, haciendo varios enlaces a la vez con velocidades de entre 2.5Gbps hasta 10Gbps. Esto permite que se alcancen transferencias de entre 40Gbps hasta 100Gbps [17].

El protocolo SFI es mayormente usado en aplicaciones para comunicación con fibra óptica, pertenecientes a estándar OIF. El OIF es un foro industrial donde sus miembros

desarrollan acuerdos de implementación que estandarizan las interfaces de los sistemas de comunicación que no están dentro del enfoque de otras organizaciones de estándares reconocidas [17]. Con respecto a SFI, todos y cada uno de los parámetros eléctricos que deben ser cumplidos por su especificación están contenidos en el estándar SFF-8431.

El protocolo SFI tiene como referencia de implementación a la especificación SFP+. Esta especificación incluye los parámetros mecánicos, eléctricos y de aplicación industrial.

2.2.5 Diagrama de Ojo

Un diagrama de ojo es una herramienta muy útil para entender las características de la señal de un transmisor. Dicho diagrama nos permite verificar si los datos transmitidos cumplen con su protocolo de comunicación, revelando las distorsiones en la amplitud y tiempo de la señal [21]. Si se toman muestras instantáneas de una señal de alta velocidad, el diagrama de ojo se entiende como la suma de las muestras al sobreponer unos y ceros en sus correspondientes intervalos de tiempo. Lo que resulta de esta superposición o empalme de la señal nos revela un "ojo" [22].

En los diagramas de ojo en la Figura 2.11 y Figura 2.12 (modificadas de [22]), se observa una normalización de muestras para dos bits o unidades de intervalo (UI, por sus siglas en inglés), donde un bit se muestra exactamente al centro de la apertura del ojo, y otro medio bit a la derecha y a la izquierda del centro del ojo [21].

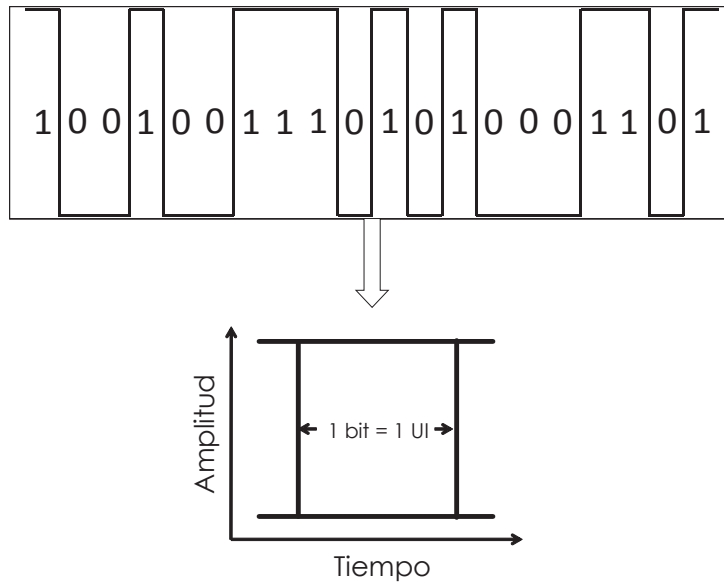


Figura 2.11 - Diagrama de ojo de una señal digital ideal de alta velocidad.

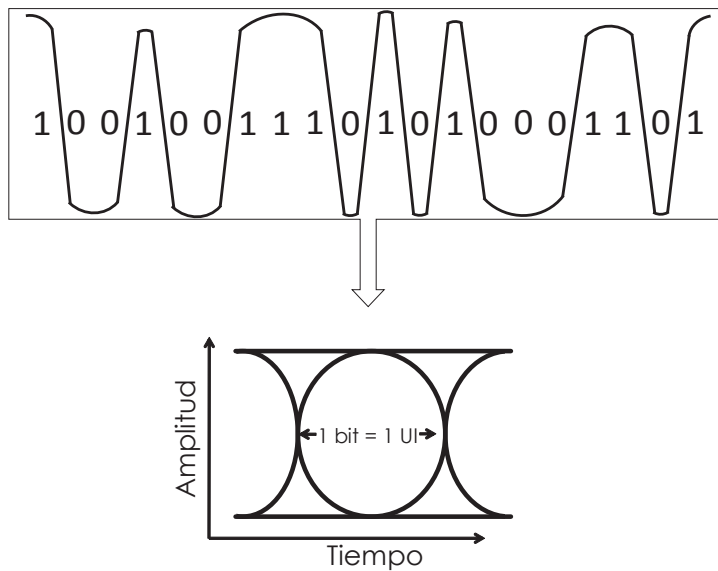


Figura 2.12 - Diagrama de ojo de una señal digital típica de alta velocidad.

2.2.5.1 Mediciones comunes

Como ya se había mencionado en la sección 2.2.5, el diagrama de ojo es una representación de una señal de alta velocidad que permite visualizar y determinar la calidad de los parámetros eléctricos requeridos por especificaciones funcionales. Los diagramas de ojo son usados para entender las características de la señal en un

transmisor de alta velocidad. Una forma típica de medir un diagrama de ojo de un transmisor se muestra en la Figura 2.13.

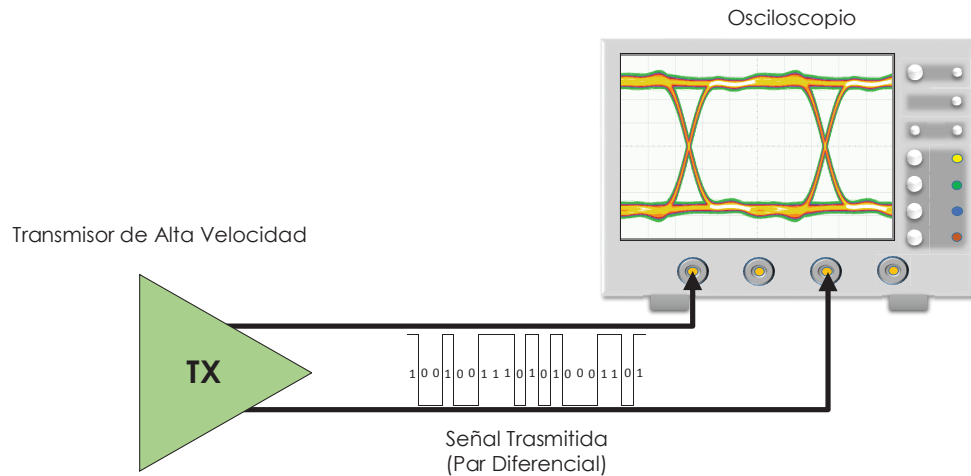


Figura 2.13 - Diagrama general de medición del diagrama de ojo en un osciloscopio.

En la Figura 2.14, se pueden observar los puntos de medición de los parámetros eléctricos más importantes tomados a través de un diagrama de ojo. La Figura 2.14 contiene la referencia y la definición de las mediciones en puntos de medición que le corresponden en un diagrama de ojo [23].

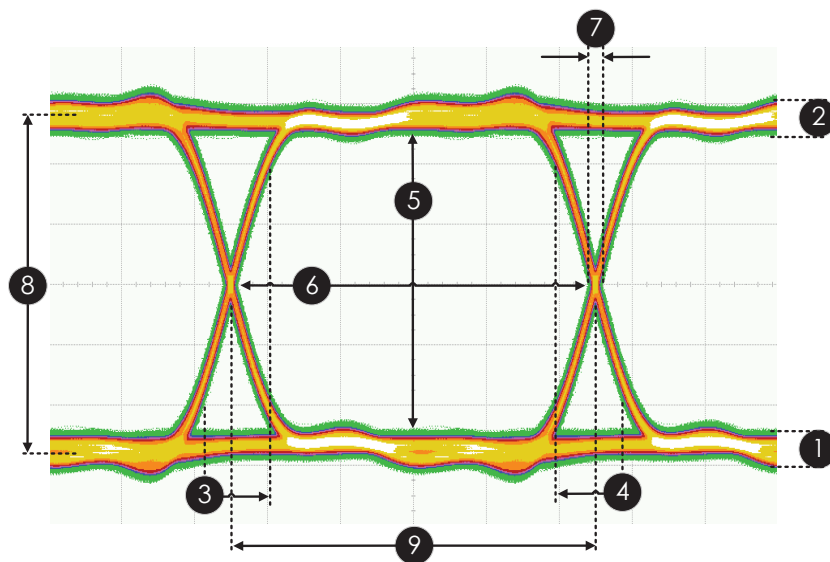


Figura 2.14 - Puntos de medición de parámetros en un diagrama de ojo.

Etiqueta	Parámetro	Medición
1	Nivel de Cero	Es el valor medio de un 0 lógico en un diagrama de ojo
2	Nivel de Uno	Es el valor medio de un 1 lógico en un diagrama de ojo
3	Tiempo de Subida	Es la pendiente de subida entre el 10% y 90% del tiempo en la transición de datos.
4	Tiempo de Bajada	Es la pendiente de bajada entre el 90% y 10% del tiempo en la transición de datos.
5	Alto del Ojo	Es la apertura vertical al centro del diagrama de ojo que, medida desde el nivel de 0 lógico hasta en nivel de 1 lógico, ayuda a determinar el nivel de ruido en una señal.
6	Ancho del Ojo	Es la apertura horizontal al centro del diagrama de ojo que, medida entre los puntos de cruce de los 0's y 1's lógicos, ayuda a determinar el nivel de jitter de una señal.
7	Jitter Determinístico	Es la desviación de una transición con respecto a su periodo original, causado por reflexiones relativas a las otras transiciones.
8	Amplitud del Ojo	La amplitud del ojo es la diferencia entre el nivel de 1 y 0 lógicos, medida a manera de histograma de sus valores medios de un diagrama de ojo.
9	Velocidad de Datos	Es el inverso del periodo de un bit, que se mide entre los cruces por cero a lo ancho del diagrama de ojo.

Tabla 2.1 - Mediciones comunes de un diagrama de ojo.

2.2.5.2 Máscara

Un método para definir las características de los datos seriales con respecto a la especificación del estándar de comunicación, es usando un diagrama de ojo, como se puede observar en la Figura 2.15. Este ejemplo tiene parametrizados los puntos geométricos de interés de un diagrama de ojo. La señal de datos es medida en cierto periodo de tiempo, para desplegarla a manera de diagrama de ojo. Si una forma de onda llega a tocar alguna de las zonas grises, la señal en el transmisor estará fallando la prueba de especificación [17].

La amplitud del ojo está limitada por el máximo de amplitud de la señal es definido por el parámetro vertical Y2, y el mínimo de amplitud de la señal es definido por el parámetro vertical Y1. Jamás se deben de violar ambos límites verticales. El ancho del ojo está limitado por el máximo jitter definido por el parámetro X1. El parámetro X2 tiene como efecto delimitar los tiempos de subida y bajada en las transiciones de la señal [17].

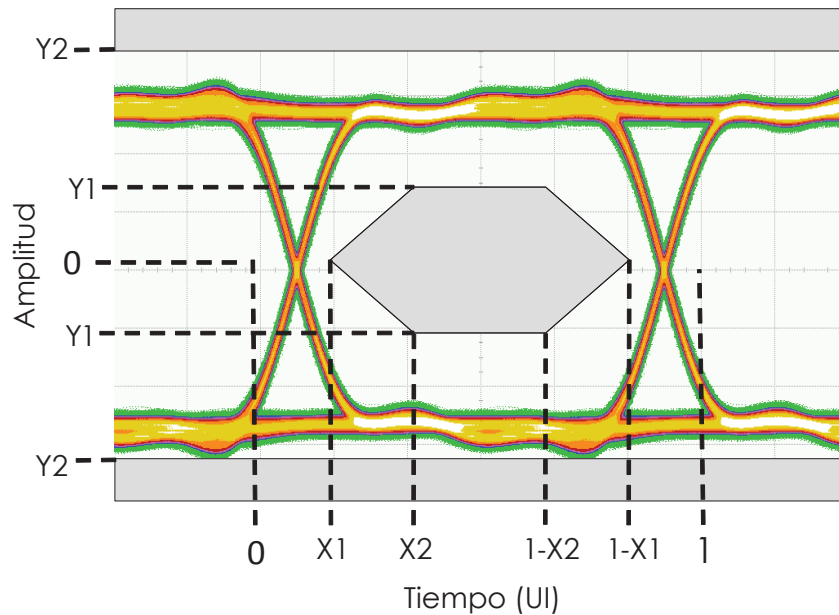


Figura 2.15 - Ejemplo de una máscara para diagrama de ojo.

El propósito de utilizar una máscara en las mediciones de un diagrama de ojo se debe a que la mayoría de los estándares para transmisores de alta velocidad, utilizan el uso de circuitos de ecualización (véase sección 2.2.3.2). Dicha ecualización, predeforma la señal del transmisor para compensar las pérdidas en el canal y proveer una mejor señal al receptor (véase Figura 2.8). Sin embargo, una señal muy distorsionada es propensa a fallar los parámetros eléctricos del transmisor al final del canal de comunicación (véase Figura 2.9)

2.2.6 Ruido y Jitter

Tanto el jitter como el ruido son desviaciones de la señal con respecto a su posición ideal (el jitter se mide en el tiempo, mientras que el ruido en la amplitud de la señal). El jitter y el ruido pueden ser ocasionados por muchas circunstancias. La Figura 2.16 (modificada de [18]), muestra la comparación de una señal ideal contra la misma señal afectada por el ruido y el jitter. Los impactos del jitter en el tiempo y del ruido en la amplitud no son simétricos. El ruido es una función constante y puede ser afectada por el desempeño del sistema en cualquier ocasión. El jitter afecta el desempeño del sistema solo cuando existen transiciones de la señal [18].

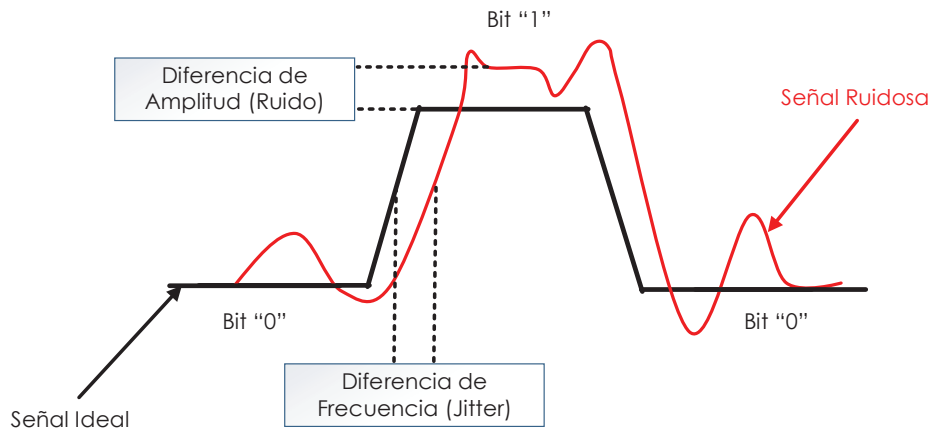


Figura 2.16 - Una señal digital ideal comparada contra una señal ruidosa.

El jitter y el ruido son señales estadísticas muy complejas, y por lo tanto, tiene muchos componentes asociados. Los mismos conceptos de componentes estadísticos aplican tanto para el ruido como para el jitter. En general, el jitter puede ser partido en dos componentes principales: Jitter Determinístico (DJ, por sus siglas en inglés) y Jitter Aleatorio (RJ, por sus siglas en inglés). La amplitud del DJ está bien delimitada, mientras que para RJ su amplitud no está delimitada y se comporta de manera Gaussiana [18]. Este esquema de clasificación es el primer paso para separar el jitter en sus demás componentes.

La Figura 2.17 (modificada de [18]) muestra un diagrama a bloques de la separación completa de los componentes más importantes del jitter. Dentro del jitter determinístico, el jitter puede ser clasificado en jitter periódico (PJ, por sus siglas en inglés), jitter dependiente del dato (DDJ, por sus siglas en inglés), y jitter delimitado sin correlación (BUJ, por sus siglas en inglés) [18]. DDJ es la combinación de la distorsión del ciclo de trabajo (DCD, por sus siglas en inglés) y de la interferencia inter-simbólica (ISI, por sus siglas en inglés). El BUJ puede ser ocasionado por la interferencia de señales contiguas. Con respecto al jitter aleatorio (RJ), el jitter puede ser Gaussiano simple (SG, por sus siglas en inglés) o Gaussiano múltiple (MG) [18].

Cada componente del jitter tiene algunas características y causas muy específicas.

Por ejemplo, la causa de DJ puede deberse a las limitaciones del canal de comunicación, reflexiones, interferencia, modulaciones periódicas o dependencias del patrón en la señal [18]. El RJ puede ser ocasionado por ruido térmico, picos en la fuente de alimentación, modulaciones aleatorias o interferencia dinámica.

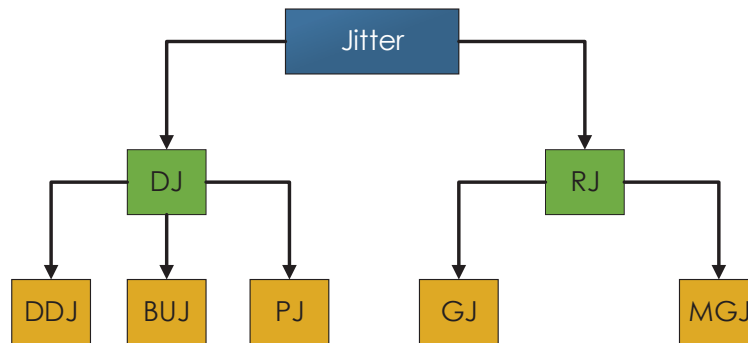


Figura 2.17 - Esquema de Clasificación del Jitter desde una perspectiva estadística.

De manera similar, el ruido puede ser representado mediante un esquema, como se muestra en la Figura 2.18 (modificada de [18]).

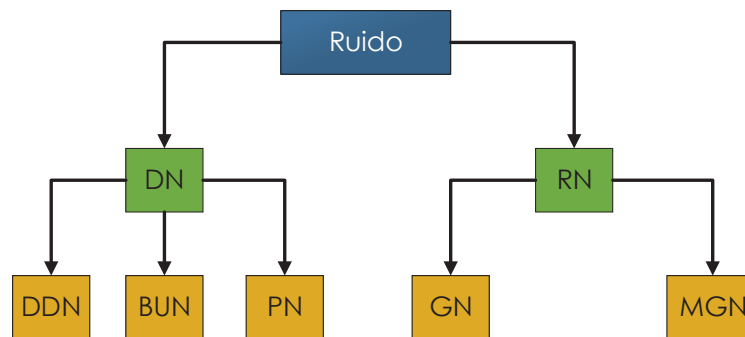


Figura 2.18 - Esquema de Clasificación del Ruido desde una perspectiva estadística.

La mayoría de los conceptos de los componentes del ruido y el jitter son asimétricos, excepto DCD, la cual no tiene una contraparte de ruido. De igual forma, el mismo tipo de jitter y ruido pudieran o no estar relacionadas una con la otra [18].

2.2.6.1 Función de Densidad de Probabilidad

Uno de los objetivos de la teoría del análisis del jitter es el de entender cómo se

combinan las diferentes componentes del jitter para formar la distribución del jitter total. Un proceso sencillo en el dominio del tiempo puede volverse complicado en el dominio estadístico, sobre todo donde se necesite aplicar métodos en el dominio de la frecuencia [24]. Sin embargo esto vale la pena, ya que las soluciones analíticas para la combinación de los tipos básicos de jitter (como el jitter aleatorio Gaussiano o el jitter periódico delimitado) pueden ser utilizadas para analizar los datos medidos [24].

El ruido aleatorio puede ser descrito como una distribución de densidad de probabilidad (PDF, por sus siglas en inglés) Gaussiana (ver Figura 2.19, modificada de [24]). La Figura 2.19 muestra x que es el valor independiente, σ el valor RMS, y μ la media de la distribución; en el análisis de jitter, la media es 0 por definición, para así poder omitir μ . Note que la PDF de un proceso Gaussiano está limitada: sin importar que tan largo sea el valor de x que escojamos, la probabilidad nunca será 0.

$$PDF_{RJ}(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{(x-\mu)^2}{2\sigma^2}}$$

Ecuación 2.2 - Función de Densidad de Probabilidad de RJ.

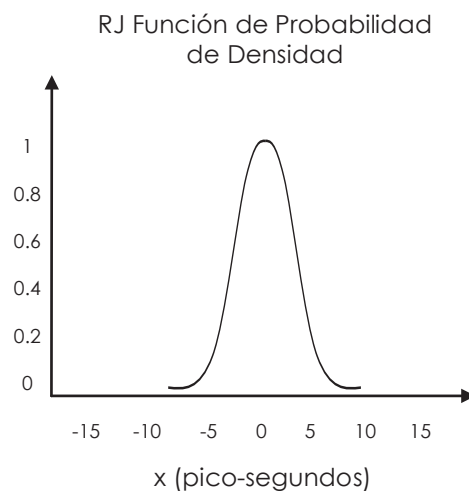


Figura 2.19 - Gráfica de PDF de RJ.

Con respecto al jitter periódico, existen tres formas de onda para su análisis:

rectangular, triangular y sinusoidal [24]. Las PDF de estas formas de onda, cada una con amplitud pico-a-pico de m , se representan por medio de la Ecuación 2.3, Ecuación 2.4 y la Ecuación 2.5 (tomadas de [24]):

$$PDF_{PJ,rectangular}(x) = \frac{1}{2}\delta\left(-\frac{m}{2}\right) + \frac{1}{2}\delta\left(\frac{m}{2}\right)$$

Ecuación 2.3 - Función de Densidad de Probabilidad de PJ rectangular.

$$PDF_{PJ,triangular}(x) = \begin{cases} \frac{1}{m}, & \text{para } |x| < \frac{m}{2} \\ 0, & \text{par cualquier otro caso} \end{cases}$$

Ecuación 2.4 - Función de Densidad de Probabilidad de PJ triangular.

$$PDF_{PJ,sinusoidal}(x) = \begin{cases} \frac{1}{\pi \sqrt{\frac{m}{2} - \left(\sqrt{\frac{2}{m}}x\right)^2}}, & \text{para } |x| < \frac{m}{2} \\ 0, & \text{para cualquier otro caso} \end{cases}$$

Ecuación 2.5 - Función de Densidad de Probabilidad de PJ sinusoidal.

La Figura 2.20 muestra las PDF de los tres componentes del jitter periódico: rectangular (izquierda), triangular (centro), sinusoidal (derecha).

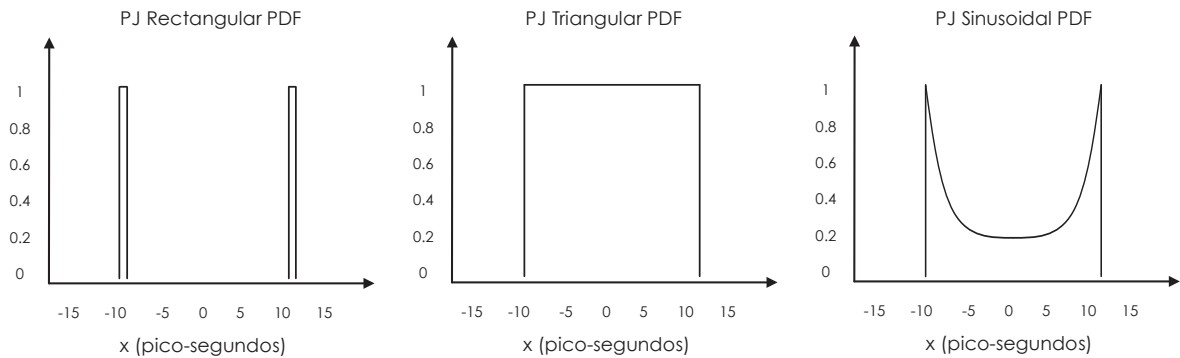


Figura 2.20 - Gráficas de PDF para componentes de PJ.

2.2.6.2 Histogramas de Jitter y Ruido

Los histogramas son utilizados para analizar estadísticamente el tiempo y la amplitud

de los datos en un diagrama de ojo, ofreciendo cálculos importantes para observar irregularidades en las señales de alta velocidad [21].

La media y la desviación estándar son dos aspectos importantes de la distorsión en el tiempo y en la amplitud en una trama de datos digitales de alta velocidad [21]. La Figura 2.21 (modificada de [21]) muestra una distribución normal de datos, que de acuerdo con ella tenemos que:

- a) La media es la suma de los valores de los datos dividida entre el número de valores.
- b) La desviación estándar, dos sigma, es $\pm 1\sigma$, $\pm 34\%$ (o 68%) de la media.
- c) La desviación estándar, seis sigma, es $\pm 3\sigma$, $\pm 49.85\%$ (o 99.7%) de la media.

La media de los datos es simplemente el promedio de los valores en la muestra. Es obtenido sumando los valores y dividiéndolos entre el total de ellos. La desviación estándar es una medida de dispersión de los datos. La desviación estándar 2σ (2 sigma) es aproximadamente 68% de los datos dentro de $\pm 1\sigma$ de la media en una distribución normal. La desviación estándar 6σ (6 sigma) es aproximadamente 99.7% de los datos dentro de $\pm 3\sigma$ de la media de una distribución normal [21].

Si muchas muestras de datos en un histograma están cerca de la media, entonces la desviación estándar es pequeña. Por otro lado, si muchas muestras de los datos se encuentran alejadas de la media, entonces la desviación estándar es grande. Idealmente, cuando todos los valores de los datos son idénticos, la desviación estándar es cero [21].

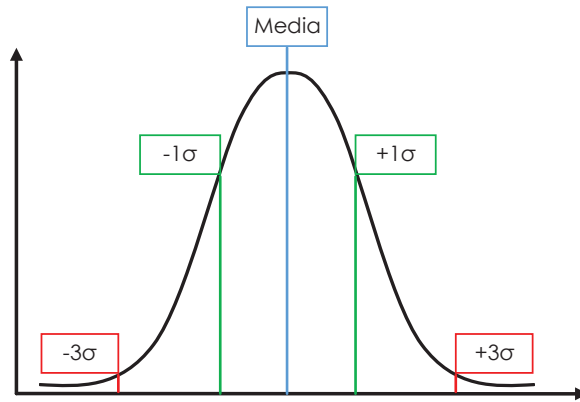


Figura 2.21 - Distribución normal de datos.

Una de las maneras más conocidas para analizar el jitter y el ruido es en el dominio estadístico. La razón principal, es que se puede observar directamente a los histogramas de jitter o ruido, por medio de instrumentos como un osciloscopio [24]. La Figura 2.22 (modificada de [24]) muestra los histogramas del jitter de una señal. Estas gráficas fueron construidas a partir de la forma de onda de una señal: cada muestra fue agrupada junto con otras que tuvieran un ancho de 0.1 pico-segundos, y la frecuencia relativa para cada agrupación fue calculada respectivamente [24].

La gráfica de en medio ilustra que el jitter periódico (PJ), tiene picos delimitados de 10 picosegundos. El histograma de jitter aleatorio (a la derecha) muestra una PDF de forma normal, caracterizada con una desviación de 1.5 pico-segundos. La gráfica de TJ a la izquierda, se ve como una mezcla de las gráficas de PJ y de RJ. La PDF del jitter total es la "convolución" de las PDF de los componentes individuales [24]: $TJ(x) = PJ(x) * RJ(x)$.

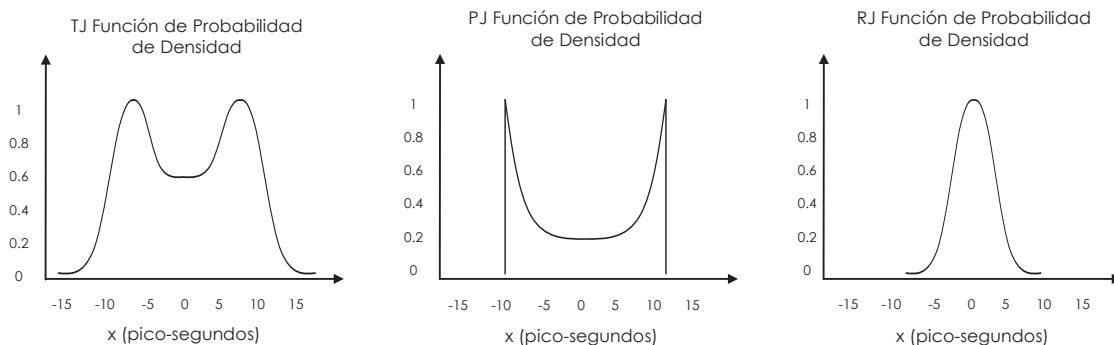


Figura 2.22 - Tipos de Histogramas de Jitter de una señal.

2.2.7 Algoritmo de Optimización

Uno de los principios más fundamentales en nuestro entorno es la búsqueda de un estado óptimo. La naturaleza humana está en constante esfuerzo de encontrar la perfección en muchas áreas, y por tal motivo, queremos alcanzar el máximo grado de satisfacción con el menor esfuerzo posible. La optimización puede considerarse como un estudio que se extiende muchas veces a la vida cotidiana [25].

Los algoritmos de optimización, los cuales tratan de reducir los valores de una función matemática, se pueden encontrar en muchas aplicaciones en la ingeniería. Entre otras cosas, los algoritmos de optimización son usados para evaluar ajustes de diseño, para juzgar sistemas de control y para encontrar patrones en los datos [26].

Existen algoritmos que su objetivo particular es el de encontrar el mínimo de una función y que son aplicados a encontrar soluciones a diferentes problemas de optimización [27]. En algunos casos, estos algoritmos pueden ser usados para generar puntos ideales que sirvan de inicio para la optimización.

Si algo es lo suficientemente importante, general y abstracto, siempre hay una disciplina matemática que lo puede solucionar. Los métodos de optimización son una rama de las matemáticas aplicadas y análisis numérico que se enfocan directo a la optimización [25]. La misión de la optimización es la de encontrar los mejores elementos x^* de un conjunto X de acuerdo a un criterio $F = \{f_1, f_2, \dots, f_n\}$. Este tipo de criterios son expresados como "funciones objetivo" [25].

2.2.8 Función Objetivo

La definición de función objetivo $f: X \rightarrow Y$ con $Y \subseteq \mathbb{R}$ es una función que está sujeta a cierta optimización [25].

El codominio Y de una función objetivo así como su rango, debe ser un subconjunto de los números reales ($Y \subseteq \mathbb{R}$). El dominio X de f es el espacio del problema y puede

representar cualquier tipo de elementos como números, listas, planes de construcción, etcétera [25]. Se escoge de acuerdo al problema que se desea solucionar mediante un proceso de optimización.

Las funciones objetivo también pueden utilizarse para algoritmos más complejos que involucran un trabajo intenso de simulación. La optimización consiste en todas las técnicas que puedan ser usadas para encontrar los mejores elementos x^* en X con respecto a cierto criterio $f \in F$ [25].

2.2.9 Método Nelder-Mead.

Es un método de triangulación para encontrar el mínimo local de una función de muchas variables desarrollado por John Nelder y Roger Mead [28]. Para dos variables, el método es un patrón de búsqueda que compara los valores de la función en los tres vértices de un triángulo. El peor vértice, donde $f(x, y)$ es el más largo, es rechazado y reemplazado por un nuevo vértice. Un nuevo triángulo es formado y la búsqueda continúa.

El proceso genera una secuencia de triángulos, para los cuales los valores de la función en los vértices se van haciendo cada vez más pequeños. El tamaño de los triángulos es reducido y las coordenadas del punto mínimo son encontradas [28].

El algoritmo es claramente expresado como una triangulación (que es una generalización de un triángulo de N dimensiones), la cual encontrará el mínimo de una función de N variables. Es efectivo y computacionalmente compacto [28].

El método de triangulación de Nelder-Mead (NM) puede cambiar en cinco maneras distintas durante una iteración, como se ilustra en la Figura 2.23 (modificada de [29]) para un ejemplo bidimensional [30].

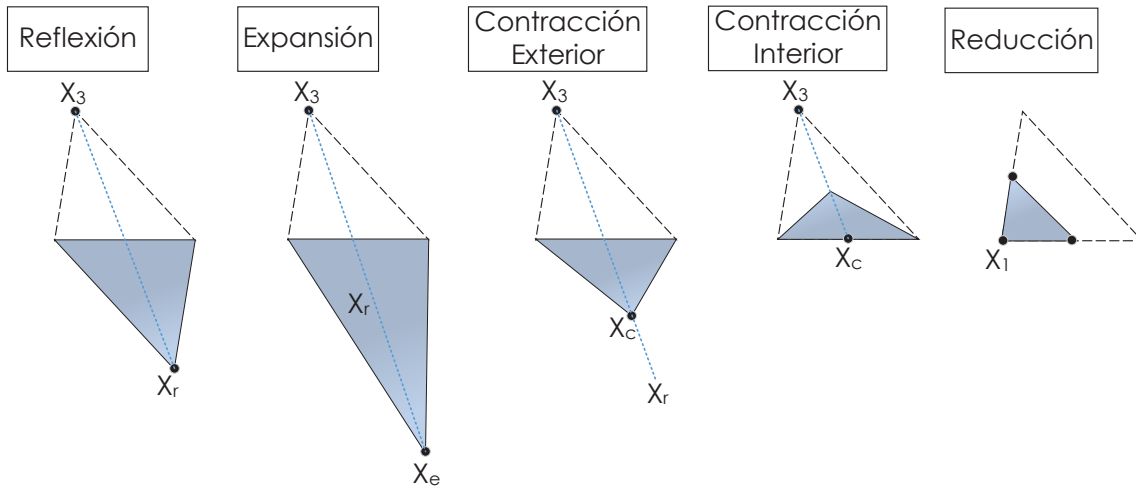


Figura 2.23 – Pasos de triangulación del algoritmo Nelder-Mead.

Este método de triangulación no requiere el uso líneas de búsqueda ni tampoco está basado en la minimización de algún modelo simplificado de la función objetivo, por lo tanto pertenece a la clase de métodos de búsqueda directa [29].

El método está basado en la construcción de un patrón envolvente de $n+1$ puntos en \mathbf{R}^2 (vértices de triangulación). Los puntos movidos sistemáticamente de acuerdo a una estrategia para llegar hacia un mínimo de una función. El algoritmo de optimización comienza con una selección de $n+1$ vértices para la triangulación inicial $(x_{i+1}^{(1)}, \dots, x_{n+1}^{(1)})$ [29] que no contengan volumen de cero. Esto significa que todos los vectores conectando el vértice elegido hacia los demás vértices deben de ser linealmente independientes, como se representa en la Ecuación 2.6 [29]:

$$\exists \lambda_i \neq 0 \Rightarrow \sum_{i=1}^n \lambda_i (x_{i+1}^{(1)} - x_1^{(1)}) \neq 0$$

Ecuación 2.6 - Vectores de los vértices diferentes de cero.

Una vez que se haya escogido la triangulación inicial, los valores de la función en sus vértices son evaluados: $f_i^{(1)} = f(x_i^{(1)})$, $i = 1, \dots, n+1$.

Las iteraciones, representadas por k , comienzan con la siguiente secuencia de pasos

[29]:

- 1) Paso de Ordenamiento: Los vértices de la triangulación son reordenados de tal manera que $f_1^{(k)} \leq f_2^{(k)} \leq \dots \leq f_{n+1}^{(k)}$, donde $f_1^{(k)} = f(x_1^{(k)})$.
- 2) Paso de reflexión: El peor vértice es reflejado tomando como referencia el punto central de los mejores n vértices $(\bar{x}^{(k)} = \frac{1}{n} \sum_{i=1}^n x_i^{(k)})$, de tal forma que el punto reflejado $x_r^{(k)}$ es $x_r^{(k)} = \bar{x}^{(k)} + (\bar{x}^{(k)} - x_{n+1}^{(k)})$

El método evalúa después que $f_r^{(k)} = f(x_r^{(k)})$. Si se cumpliera que $f_1^{(k)} \leq f_r^{(k)} \leq f_n^{(k)}$ entonces se acepta el punto reflejado y se va al paso 6 [29].

- 3) Paso de Expansión: Si $f_r^{(k)} \leq f_1^{(k)}$, entonces se calcula la expansión $x_e^{(k)} = \bar{x}^{(k)} + 2(x_r^{(k)} - \bar{x}^{(k)})$, y se evalúa $f_e^{(k)} = f(x_e^{(k)})$. Si $f_e^{(k)} \leq f_r^{(k)}$, se acepta $x_e^{(k)}$ y se va al paso 6. En caso contrario, se acepta $x_r^{(k)}$ y se va al paso 6 [29].
- 4) Paso de Contracción: Si $f_r^{(k)} \geq f_n^{(k)}$, entonces se hace una contracción entre $\bar{x}^{(k)}$ y el mejor valor de $x_{n+1}^{(k)}$ y $x_r^{(k)}$. Ahora, en caso de que $f_r^{(k)} \leq f_{n+1}^{(k)}$, se asigna $x_c^{(k)} = \bar{x}^{(k)} + \frac{1}{2}(x_r^{(k)} - \bar{x}^{(k)})$, la cual se llama "contracción exterior" y se evalúa $f_c^{(k)} = f(x_c^{(k)})$. Si $f_c^{(k)} \leq f_r^{(k)}$, se acepta $x_c^{(k)}$ y se va al paso 6 [29].

Si por el contrario $f_r^{(k)} \geq f_{n+1}^{(k)}$, se asigna $x_c^{(k)} = \bar{x}^{(k)} - \frac{1}{2}(x_r^{(k)} - x_{n+1}^{(k)})$, la cual se llama "contracción interior" y se evalúa $f_c^{(k)}$. Si $f_c^{(k)} < f_{n+1}^{(k)}$, se acepta $x_c^{(k)}$ y se va al paso 6 [29].

- 5) Paso de reducción: Se mueven todos los vértices a excepción de los mejores encontrados hacia el mejor vértice, esto es: $x_c^{(k)} = \bar{x}^{(k)} + \frac{1}{2}(x_r^{(k)} - \bar{x}^{(k)})$, $i = 2, \dots, n+1$ y se evalúa $f_i^{(k)} = f(x_i^{(k)})$, $i = 2, \dots, n+1$. Se acepta $v_i^{(k)}$ como el nuevo vértice.

- 6) Revisión de Convergencia: Se revisa si el criterio de convergencia se cumplió. De ser así, termina el algoritmo de optimización. En caso contrario, se inicia una nueva iteración.

3 PROCEDIMIENTO DE INVESTIGACIÓN

El procedimiento de investigación ha sido concretado a través de varias secciones. Cada una de las secciones muestra detalles como los siguientes:

- a) *Configuración del Sistema:* Se explica todos y cada uno de los elementos que intervienen durante el proceso de optimización.
- b) *Mediciones del Sistema:* Se detalla el procedimiento que se lleva a cabo para tomar valores de parámetros de histogramas, a través de un diagrama de ojo capturado en tiempo real con la ayuda de instrumentos de prueba.
- c) *Formulación y Optimización de la Función Objetivo:* Se da a conocer la representación matemática de los parámetros eléctricos del diagrama de ojo que, con la ayuda de una función objetivo, se van a optimizar.
- d) *Diagrama de Flujo del Algoritmo de Optimización:* Se muestran las partes del algoritmo que intervienen en el flujo de la optimización.

3.1 CONFIGURACIÓN DEL SISTEMA

La configuración del sistema es una de las partes fundamentales de la investigación. La interacción entre la computadora, el algoritmo de optimización y los comandos enviados a los instrumentos de medición, en conjunto con el SoC y su ecualización en el transmisor, puede representarse a través de Figura 3.1 (modificada de [31]).

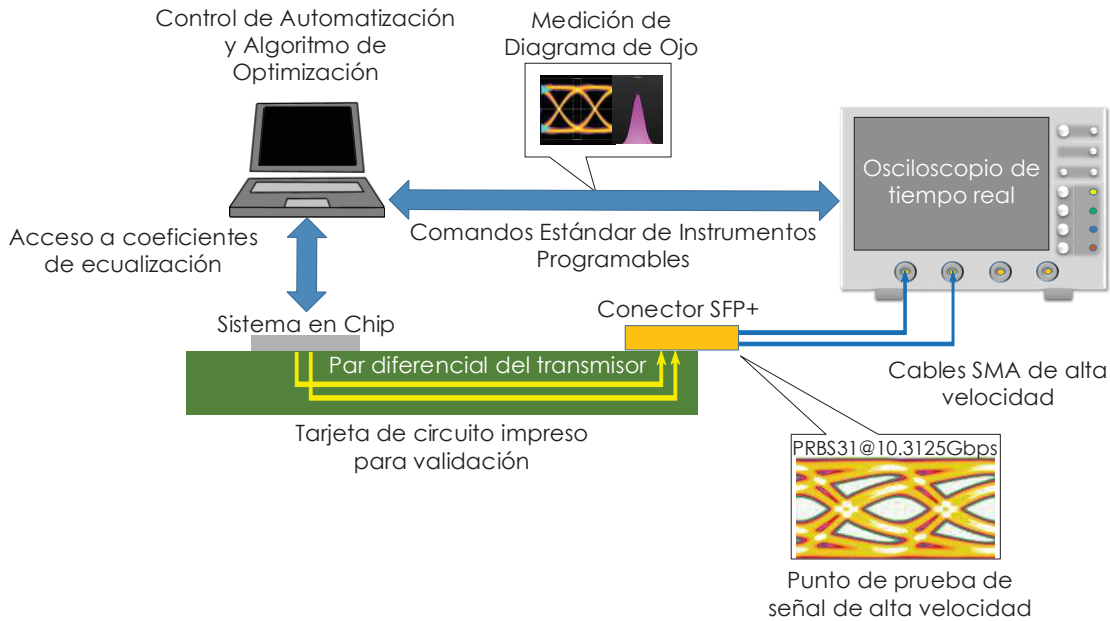


Figura 3.1 - Configuración del Sistema.

3.1.1 Tarjeta de Circuito Impreso para Validación

Es la interfaz principal de transmisor de alta velocidad con el equipo de medición. Esta tarjeta tiene un SoC de Intel® montado en ella. Esto permite que se tenga acceso al transmisor bajo prueba por medio de un par de trazos diferenciales que sirven de enlace hacia un conector tipo SFP+ (véase sección 2.2.4.1). El diseño de la tarjeta de validación es diseño confidencial de Intel®, por lo que solo se muestra representada a alto nivel en la Figura 3.1.

3.1.2 Osciloscopio de Tiempo Real

El osciloscopio es el encargado de representar gráficamente el diagrama de ojo y a su vez, tomar las mediciones necesarias de jitter y ruido en la señal del transmisor. El osciloscopio debe ser capaz de decodificar y capturar un patrón de bits aleatorios (PRBS31, por sus siglas en inglés) con una tasa de transferencia de 10.3125 Gbps proveniente del transmisor de alta velocidad del SoC. Por tal motivo, las capacidades de ancho de banda de este equipo especializado debe ser capaz de medir al menos el quinto armónico de frecuencia de la señal [32]. Además, es

necesario que el osciloscopio cuente con Software que permita eliminar las pérdidas generadas por los cables SMA, comúnmente logrados por medio de la remoción de parámetros S de los cables.

3.1.3 Control de Optimización y Automatización

El control central, tanto de la automatización como del algoritmo de optimización, es llevado a cabo por medio de una computadora de escritorio. Las características de la computadora de escritorio y del software son:

- a) Computadora de Escritorio con procesador Intel® Core™ i7-4790 CPU, con velocidad de 3.60GHz.
- b) Sistema Operativo Windows® 7.
- c) Python 2.7 con librerías matemáticas de optimización (SciPy) y librerías de control de instrumentos programables (PyVisa).

En cuanto al acceso a los registros internos del SoC, para poder controlar los coeficientes de optimización, se usa un software propietario y confidencial de Intel. Este software es integrado dentro de la automatización por medio de Python.

El control de osciloscopio de tiempo real se hace por medio de comandos estandarizados y establecidos por el fabricante del equipo de prueba (SCPI, por sus siglas en inglés) para poder hacer mediciones de parámetros de jitter, ruido, ancho del ojo y alto del ojo. Estos comandos pueden variar de un fabricante a otro, pero todos son integrados por medio de la librería PyVisa de Python.

En lo que respecta al control del algoritmo de optimización, también se hace por medio de Python. Es necesario contar con librerías de SciPy instaladas para hacer uso de las funciones de minimización. Dichas funciones son parte esencial para la optimización de la ecualización en el transmisor de alta velocidad.

3.2 MEDICIONES DEL SISTEMA

Un diagrama de ojo es una herramienta muy útil para entender las irregularidades de una señal en sistemas de transmisión de datos de alta velocidad y verificar su conformidad con respecto a cierta especificación. Los histogramas son usados para analizar estadísticamente la amplitud y el tiempo de los datos que se representan con el diagrama de ojo, ofreciendo una gran cantidad de información para la detección de anomalías en la señal [31].

La definición de alto de ojo se deriva de calcular la diferencia entre los puntos 3σ (véase sección 2.2.6.2) internos de los histogramas de niveles de uno y cero en la señal de datos, como se muestra en la Figura 3.2 mediante el histograma de ruido (eje vertical) [31].

El ancho del ojo es esencialmente la distancia efectiva entre los dos puntos 3σ de los histogramas de tiempo. Para el cálculo de jitter, las variaciones en los flancos de subida y bajada de la señal, en sus puntos de cruce representado por un diagrama de ojo, son capturadas como se muestra en Figura 3.2. El histograma de tiempo (eje horizontal), es usado para determinar la cantidad de jitter [31].

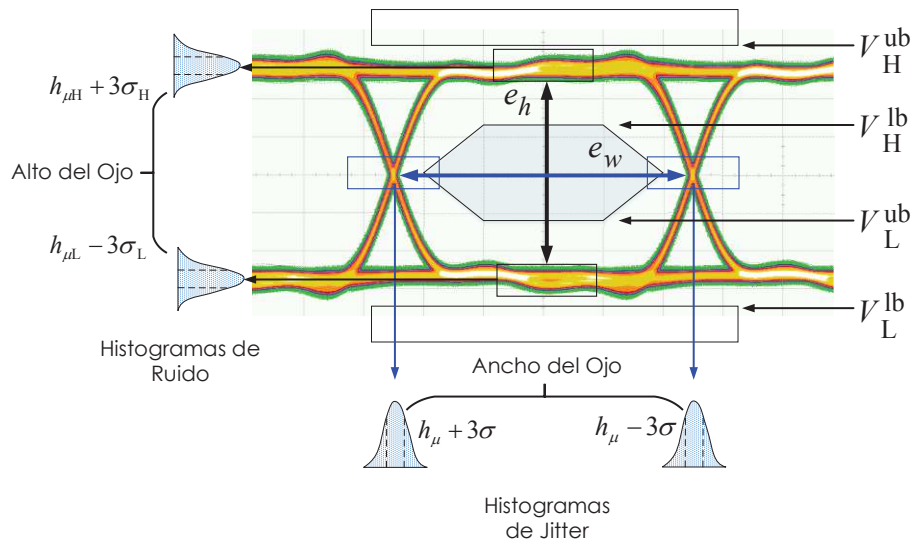


Figura 3.2 - Diagrama de Ojo y su máscara con variables para Función Objetivo.

3.3 FORMULACIÓN Y OPTIMIZACIÓN DE LA FUNCIÓN OBJETIVO

Hagamos que $\mathbf{R}_E \in \Re^3$ denote la respuesta de la integridad de señal del sistema, el cual es una función de la media del histograma superior de la amplitud del ojo $h_{\mu H}$, la media del histograma inferior $h_{\mu L}$, y el jitter total J_T presentes en el diagrama de ojo [31]

$$\mathbf{R}_E = \mathbf{R}_E(\mathbf{x}, \psi) = [h_{\mu H}(\mathbf{x}, \psi) \quad h_{\mu L}(\mathbf{x}, \psi) \quad J_T(\mathbf{x}, \psi)]^T$$

Esta respuesta de integridad de señal del sistema es una función de los valores de sintonización $\mathbf{x} \in \Re^N$ (coeficientes de ecualización), y las condiciones de operación ψ (voltaje y temperatura). El alto del ojo $e_h \in \Re$ se obtiene de [31],

$$e_h(\mathbf{x}, \psi) = h_{\mu H}(\mathbf{x}, \psi) + 3\sigma_H + h_{\mu L}(\mathbf{x}, \psi) - 3\sigma_L$$

donde σ_H y σ_L son la desviación estándar del histograma promedio alto e histograma promedio bajo, respectivamente [31].

Como queremos maximizar el diagrama de ojo, nuestra función objetivo inicial consiste en $-e_h$, sin embargo como el ancho del ojo es una función del jitter total J_T , debemos considerar J_T en la formulación de la función objetivo [31].

Tanto e_h como J_T , deben ser escalados por unos factores de peso $w_1, w_2, \in \Re$ de tal manera que puedan ser comparables. Los valores de estos factores de peso pueden ser seleccionados usando valores iniciales de e_h , y mediciones de J_T [31].

Así pues, la función objetivo es definida como [31],

$$u(\mathbf{x}) = -w_1[e_h(\mathbf{x}, \psi)] + w_2[J_T(\mathbf{x}, \psi)]$$

Ecuación 3.1 - Función Objetivo Inicial para la optimización.

con w_1 , y w_2 calculados de

$$w_1 = \frac{2}{\frac{1}{k} \sum_{i=1}^k e_h(\mathbf{x}^{(i)})}$$

$$w_2 = \frac{1}{\frac{1}{k} \sum_{i=1}^k J_T(\mathbf{x}^{(i)})}$$

donde $\mathbf{x}^{(i)}$ son k puntos base , distribuidos aleatoriamente, de mediciones de alto de ojo y jitter total [31].

El problema de optimización para el sistema de integridad de señal es [31],

$$\mathbf{x}^* = \operatorname{argmin}_{\mathbf{x}} u(\mathbf{x})$$

con $u(\mathbf{x})$ definido por la Ecuación 3.1.

Ahora modificaremos el problema de optimización de tal forma que la combinación correcta de coeficientes de ecualización maximice el diagrama de ojo pero no exceda los límites de la máscara. El nuevo problema de optimización puede ser definido a través de una formulación restringida [31],

$$\mathbf{x}^* = \operatorname{argmin}_{\mathbf{x}} u(\mathbf{x}) \text{ sujeto a } l_1(\mathbf{x}) \leq 0, l_2(\mathbf{x}) \leq 0$$

con

$$l_1(\mathbf{x}) = (h_{dH} + 3\sigma_H) - V_H^{\text{ub}}$$

$$l_2(\mathbf{x}) = V_L^{\text{lb}} - (h_{dL} - 3\sigma_L)$$

donde V_H^{ub} y V_L^{lb} son los límites de la máscara del diagrama de ojo, según sus límites de especificación de voltaje superior, y voltaje inferior respectivamente [31].

Una manera más conveniente de representar una formulación sin restricciones puede hacerse definiendo un término de penalización como [31],

$$U(\mathbf{x}) = -u(\mathbf{x}) + \rho_0^l |L(\mathbf{x})|^2$$

donde $L(\mathbf{x})$ es la función de penalización de los límites de la máscara del diagrama de definido como [31],

$$L(\mathbf{x}) = \max\{0, l_1(\mathbf{x}), l_2(\mathbf{x})\}$$

La solución óptima depende del valor del coeficiente de penalización $\rho_0^l \in \mathfrak{R}$. Definimos ρ_0^l como [31],

$$\rho_0^l = \frac{|u(\mathbf{x}^{(0)})|}{|\max\{l_1(\mathbf{x}^{(0)}), l_2(\mathbf{x}^{(0)})\}|^2}$$

donde $\mathbf{x}^{(0)}$ es el punto inicial. Entonces, nuestra función objetivo para optimizar el diagrama de ojo y cumplir con la máscara de su especificación es [31],

$$\mathbf{x}^* = \underset{\mathbf{x}}{\operatorname{argmin}} U(\mathbf{x})$$

Ecuación 3.2 - Función Objetivo Final para la optimización.

con

$$U(\mathbf{x}) = -w_1 [e_h(\mathbf{x}, \boldsymbol{\psi})] + w_2 [J_T(\mathbf{x}, \boldsymbol{\psi})] + \rho_0^l |L(\mathbf{x})|^2$$

Nuestra intención es la de entregar los valores óptimos de los coeficientes de ecualización \mathbf{x}^* resolviendo la Ecuación 3.2 con el uso del método basado en triangulaciones de Nelder-Mead (véase sección 2.2.9) [31].

3.4 DIAGRAMA DE FLUJO DEL ALGORITMO DE OPTIMIZACIÓN

El funcionamiento de la optimización es representado por medio de un diagrama de flujo dividido en tres partes:

- a) El primer diagrama de flujo, mostrado en la Figura 3.3, contiene los bloques generales de la optimización. Podemos notar que la función de minimización de la función objetivo decidirá cuando se termine la optimización en base a sus iteraciones y evaluaciones de función.
- b) El segundo, mostrado en la Figura 3.4, contiene el proceso interno del cálculo de la función objetivo en cada evaluación de función.
- c) El tercero, mostrado en la Figura 3.5, nos ilustra los bloques de automatización del osciloscopio necesarios para tomar mediciones de diagrama de ojo y jitter.

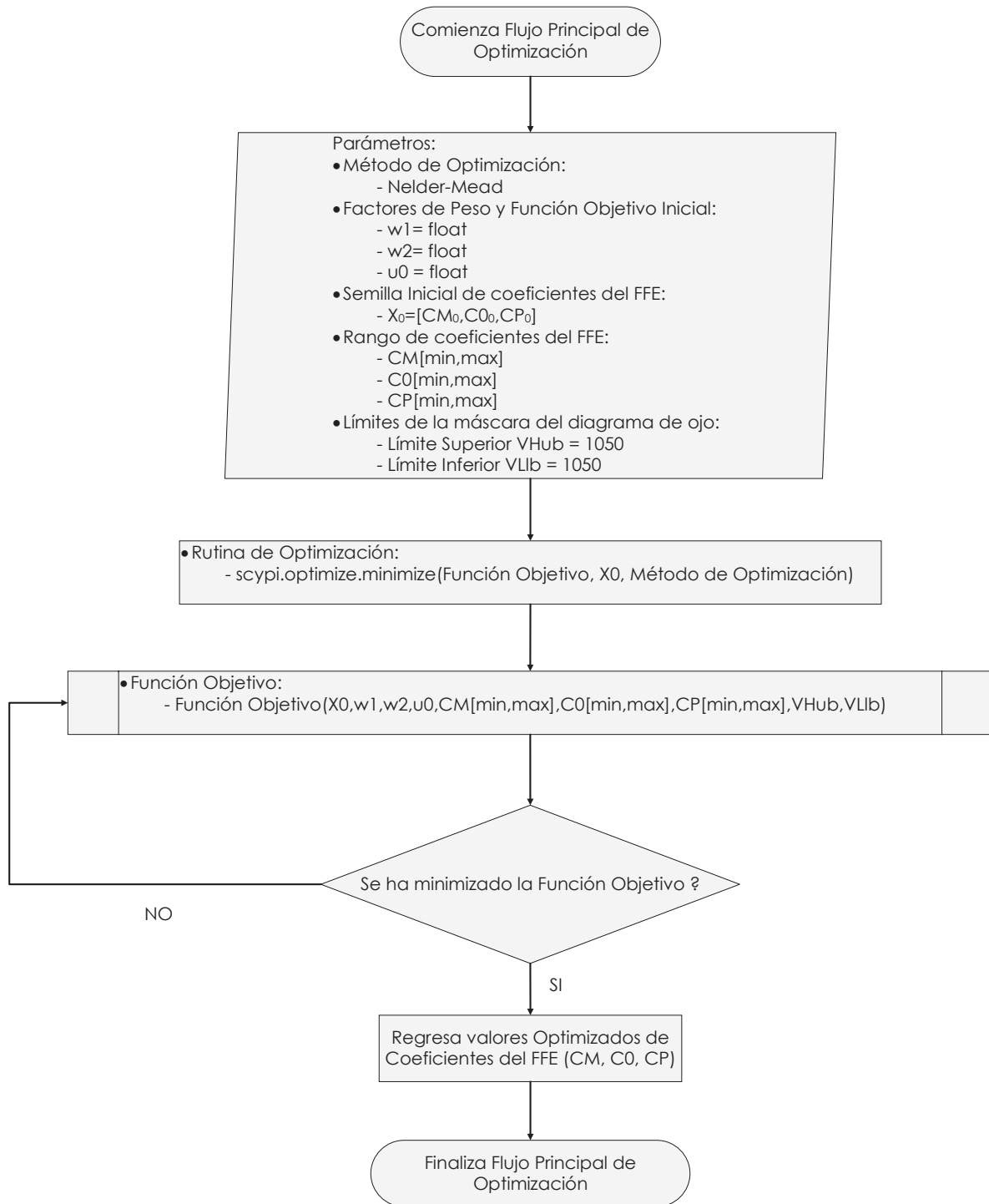


Figura 3.3 - Diagrama de Flujo Principal de la Optimización.

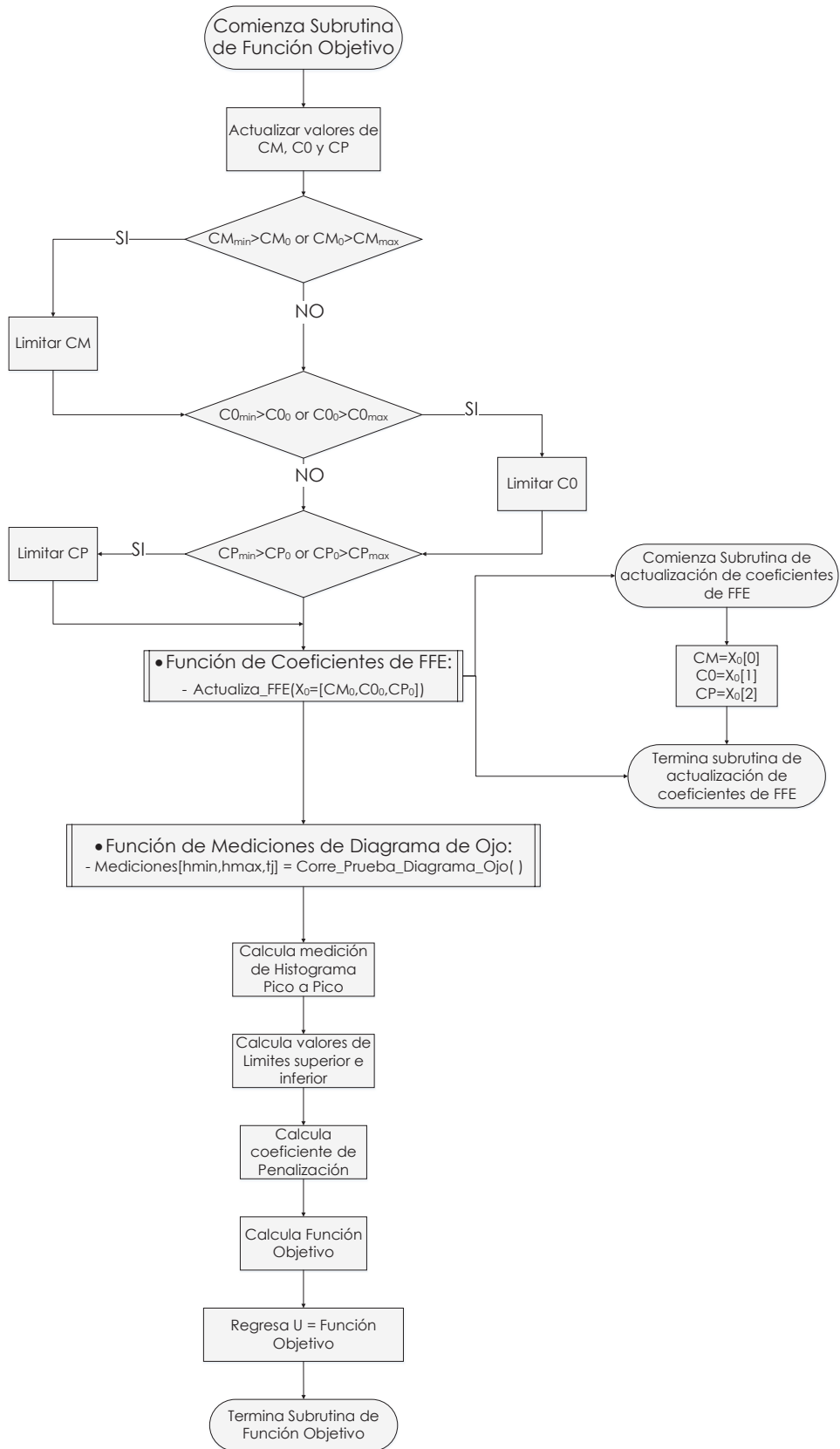


Figura 3.4 - Diagrama de Flujo de la Subrutina de la Función Objetivo.

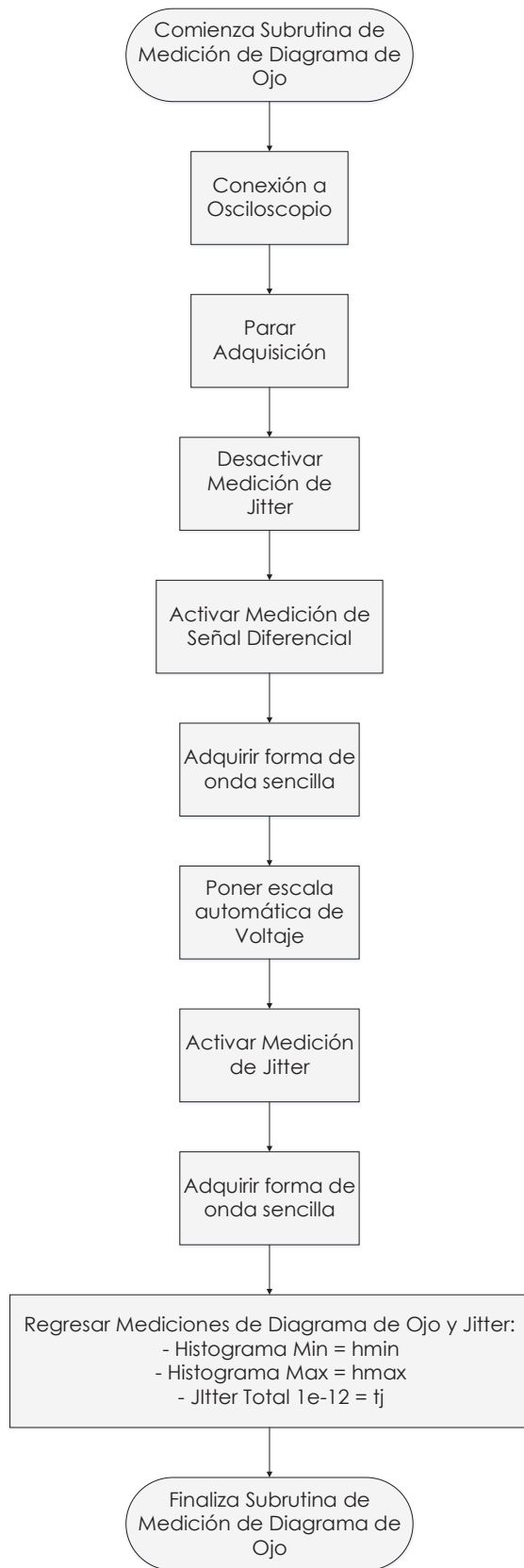


Figura 3.5 - Diagrama de Flujo de la Subrutina de Medición del Diagrama de Ojo.

4 RESULTADOS

El criterio de aceptación para validar si un diagrama de ojo cumple con las características correctas durante el proceso de optimización se muestra en la Figura 4.1.

Las unidades de medida de la máscara han sido representadas con magnitudes adimensionales para no comprometer intereses de propiedad intelectual de Intel®.

Los parámetros y valores que son considerados por la optimización son:

- a) Amplitud Pico a Pico, con un límite máximo de 2100 unidades.
- b) Alto del Ojo, con un límite mínimo de 540 unidades.
- c) Ancho del Ojo, con un límite mínimo de 221 unidades.

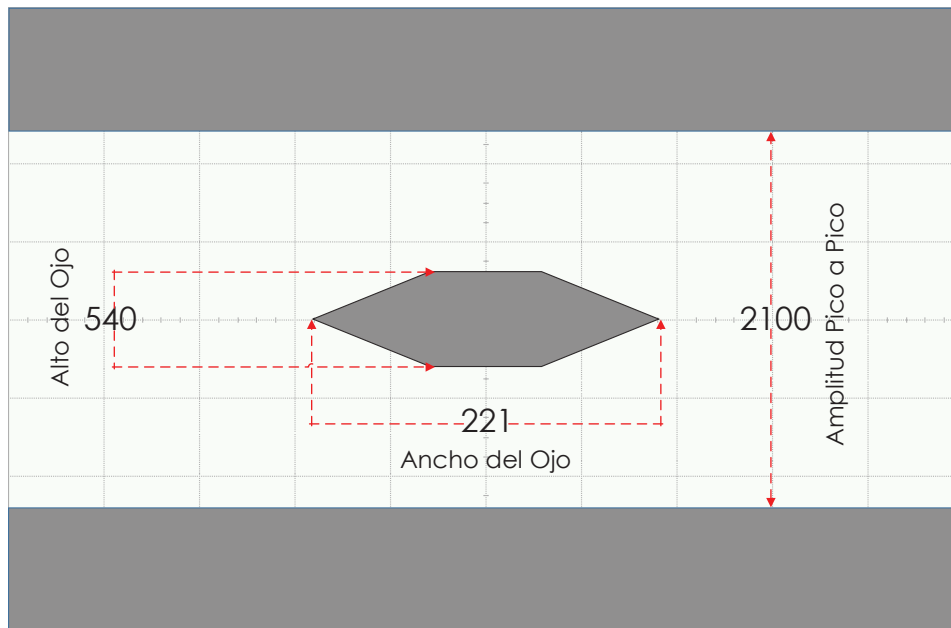


Figura 4.1 - Máscara de Diagrama de Ojo para criterio de aceptación.

La Tabla 4.1 recopila los resultados de la optimización de coeficientes del FFE a través de varias iteraciones. Para este comparativo se recabaron datos al inicio, durante iteraciones intermedias y al final de la optimización. Se puede observar que están

resaltados en color rojo, los parámetros del ojo que están violando con los criterios de aceptación descritos en la Figura 4.1.

Los parámetros finales del diagrama de ojo optimizado son muy similares entre ambas semillas. El progreso de la optimización, para las iteraciones analizadas en la Tabla 4.1, puede ser observado en las figuras mostradas en la columna "Diagrama de Ojo".

Semilla Inicial	Iteración	Evaluaciones de Función	Amplitud Pico a Pico	Ancho de Ojo	Alto de Ojo	Diagrama de Ojo
1	0	1	1371.24	225.7	327	Figura 4.5
1	2	10	1342.05	239.64	675	Figura 4.6
1	10	44	1443.63	255.1	798	Figura 4.7
1	30	96	1592.16	256.23	873	Figura 4.8
2	0	1	1691.22	191.49	315	Figura 4.9
2	2	10	1644	225.54	528	Figura 4.10
2	10	30	1449	249.3	795	Figura 4.11
2	28	86	1579.5	254.1	918	Figura 4.12

Tabla 4.1 - Resultados de Optimización para 2 semillas de coeficientes.

Como se puede observar en Tabla 4.2, el parámetro con mayor porcentaje de optimización resulto ser el alto de ojo, logrando casi triplicar su valor inicial. El ancho de ojo queda como segundo parámetro mejor optimizado, seguido por la amplitud pico a pico, que mostro un incremento del 17% para la primer semilla y un decremento del 7% para la segunda semilla.

Semilla Inicial	% de Optimización (Amplitud Pico a Pico)	% de Optimización (Ancho de Ojo)	% de Optimización (Alto de Ojo)
1	17 %	14 %	267 %
2	-7 %	33 %	292 %

Tabla 4.2 - Porcentajes de Optimización para 2 semillas de coeficientes.

Las gráficas mostradas en la Figura 4.2, Figura 4.3 y Figura 4.4, muestran la optimización de la amplitud pico a pico, el alto del ojo y el ancho del ojo respectivamente, para dos semillas diferentes (Semilla 1 y Semilla 2). El eje vertical corresponde a las unidades de máscara mostradas en la Figura 4.1, y el eje horizontal muestra el valor de la iteración.

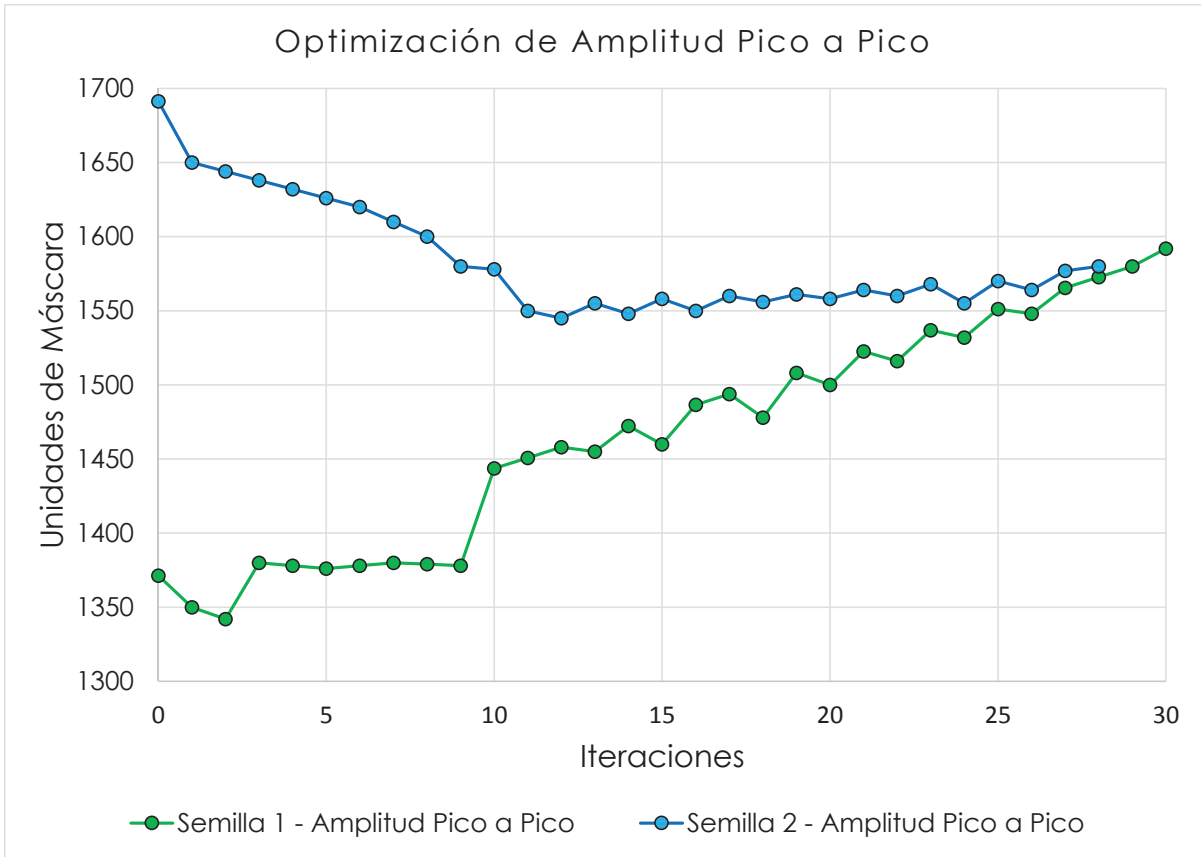


Figura 4.2 - Optimización de la Amplitud Pico a Pico.

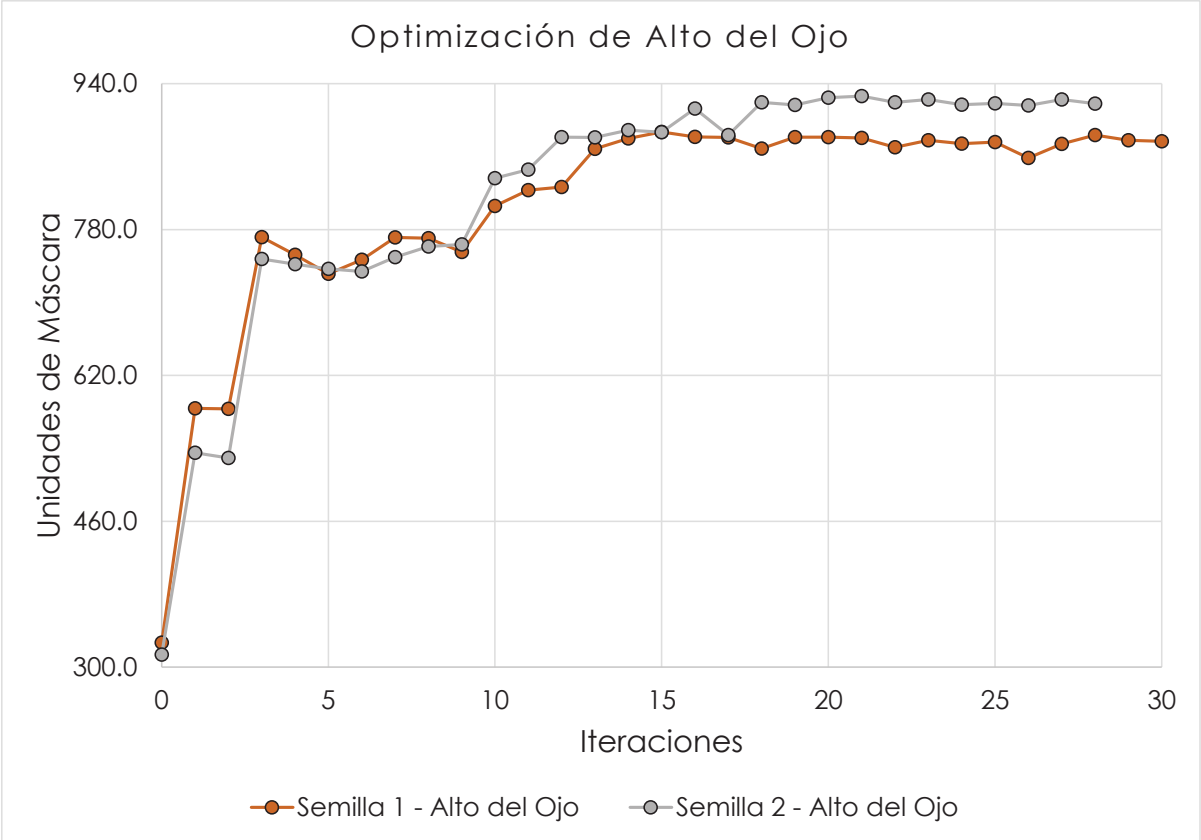


Figura 4.3 - Optimización de Alto del Ojo.

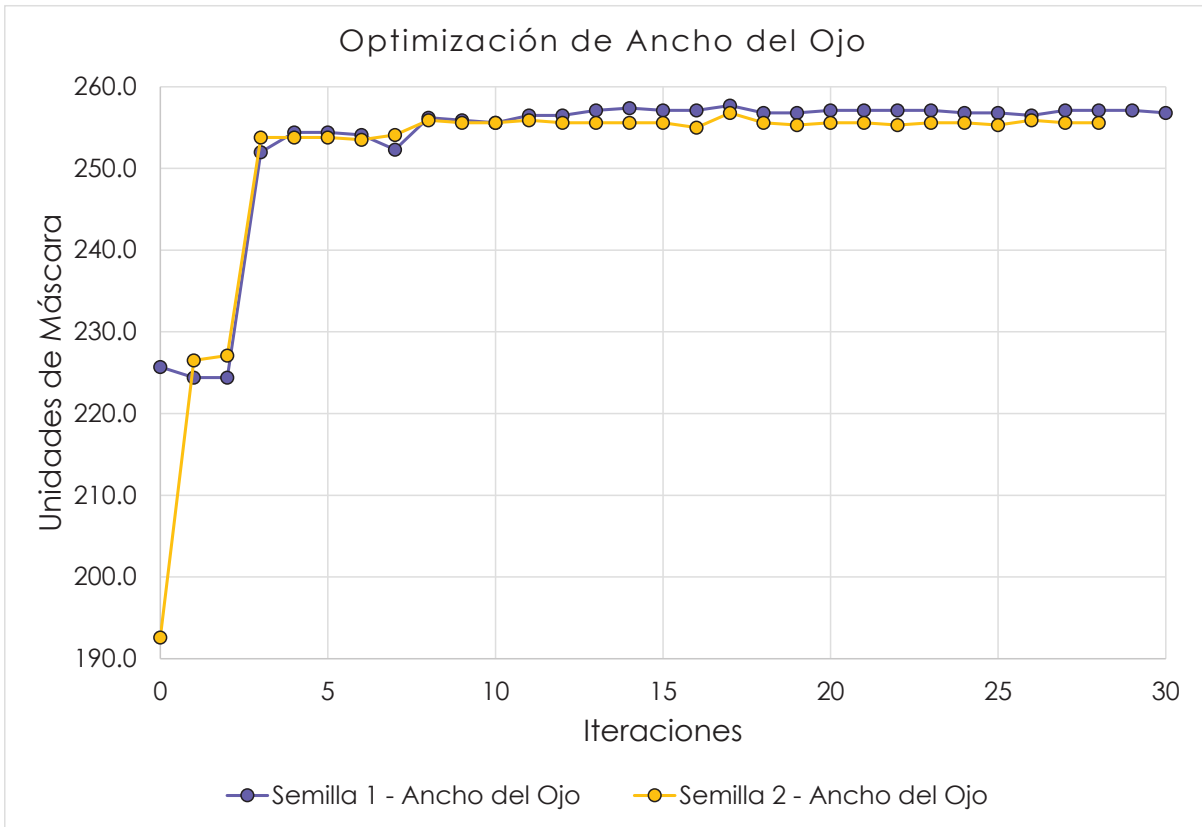


Figura 4.4 - Optimización de Ancho del Ojo.

4.1 PROGRESO DE OPTIMIZACIÓN DEL DIAGRAMA DE OJO CON SEMILLA 1

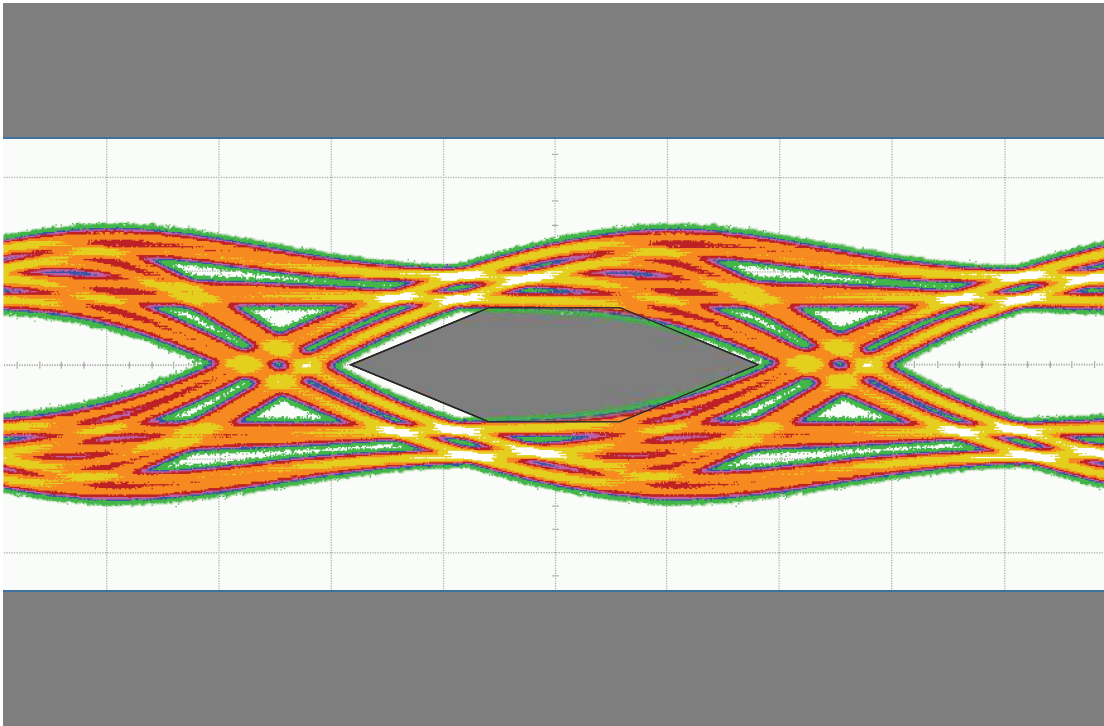


Figura 4.5 - Diagrama de Ojo de Semilla 1 Inicial.

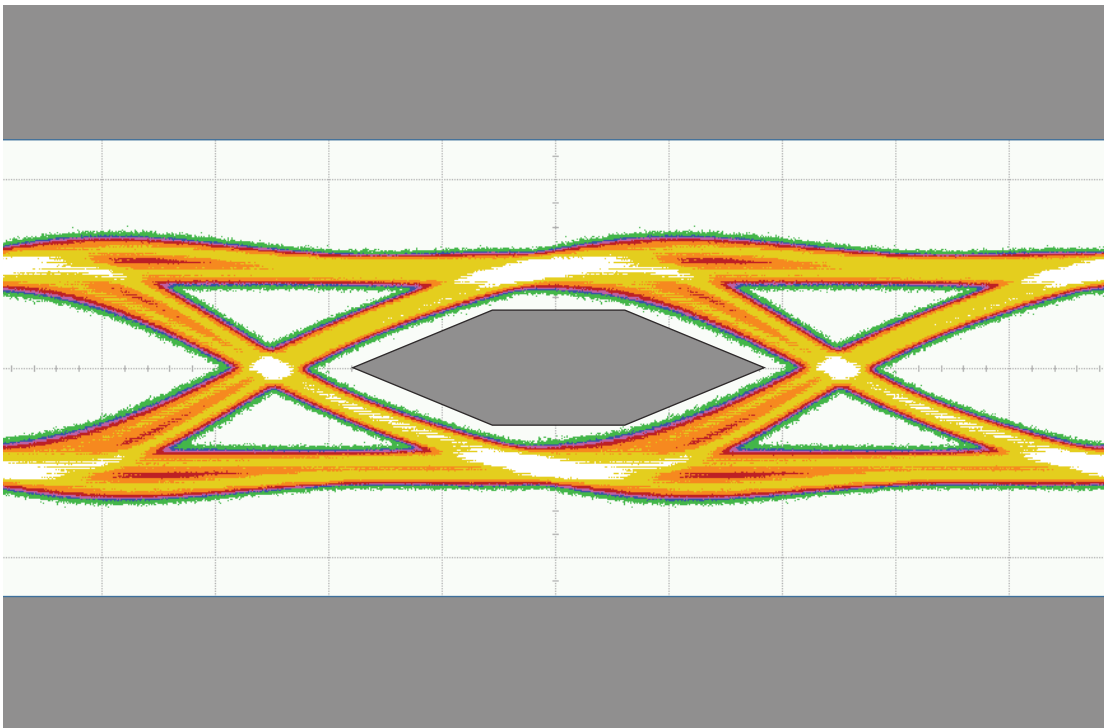


Figura 4.6 - Diagrama de Ojo de Semilla 1 después de 2 iteraciones.

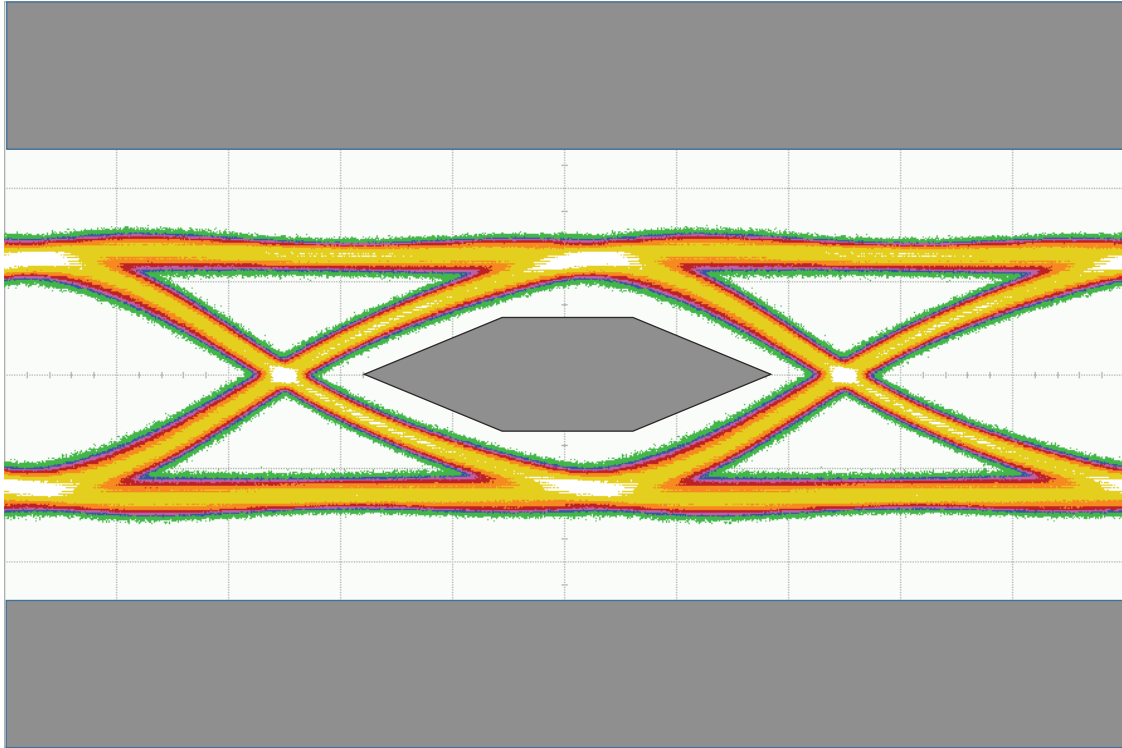


Figura 4.7 - Diagrama de Ojo de Semilla 1 después de 10 iteraciones.

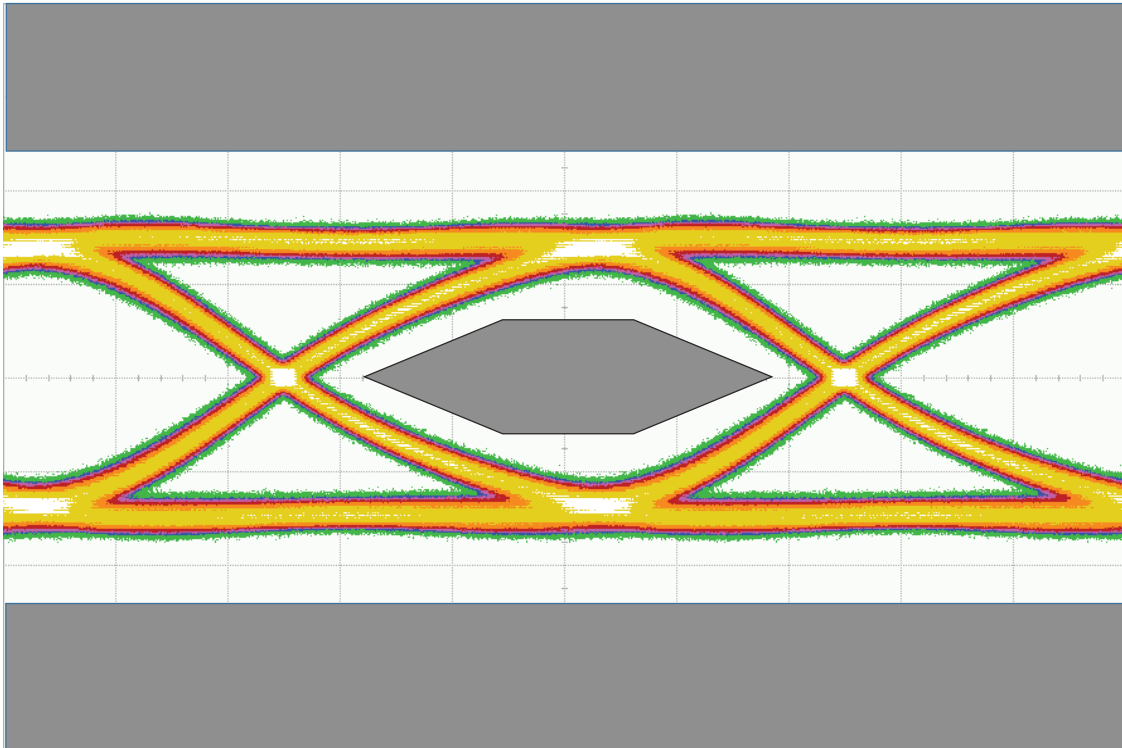


Figura 4.8 - Diagrama de Ojo de Semilla 1 después de 30 iteraciones.

4.2 PROGRESO DE OPTIMIZACIÓN DEL DIAGRAMA DE OJO CON SEMILLA 2

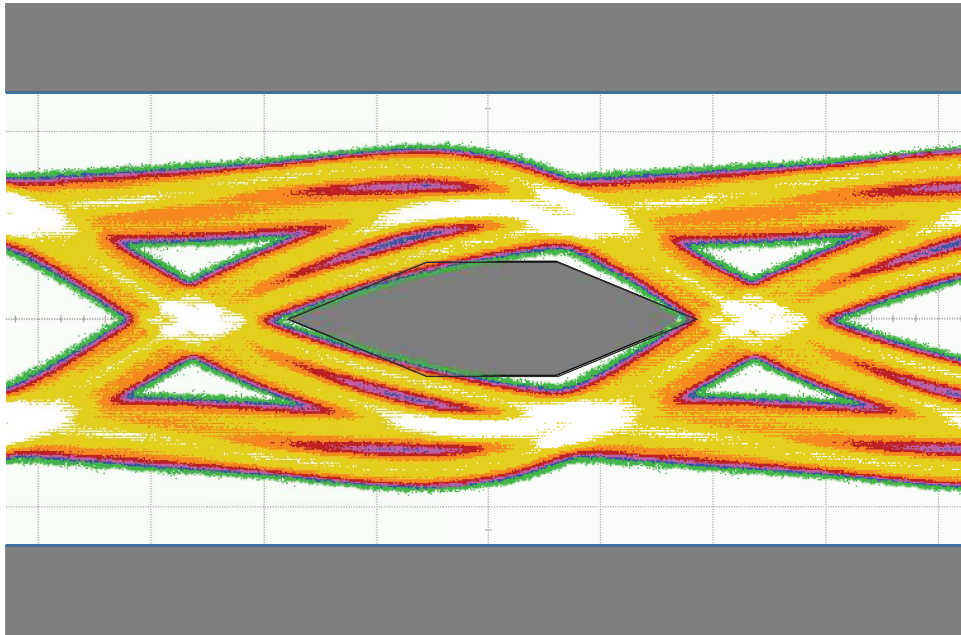


Figura 4.9 - Diagrama de Ojo de Semilla 2 Inicial.

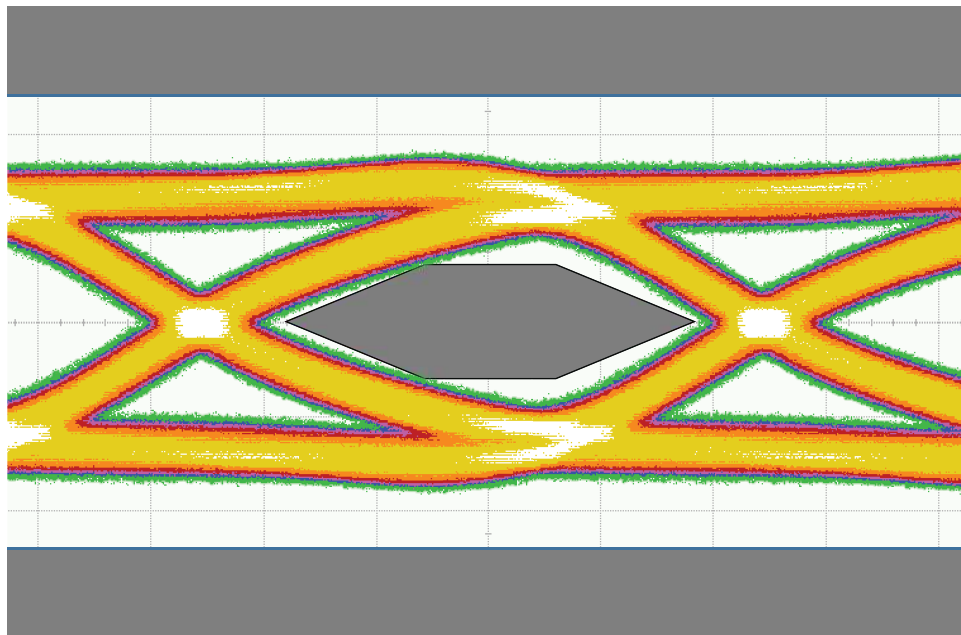


Figura 4.10 - Diagrama de Ojo de Semilla 2 después de 2 iteraciones.

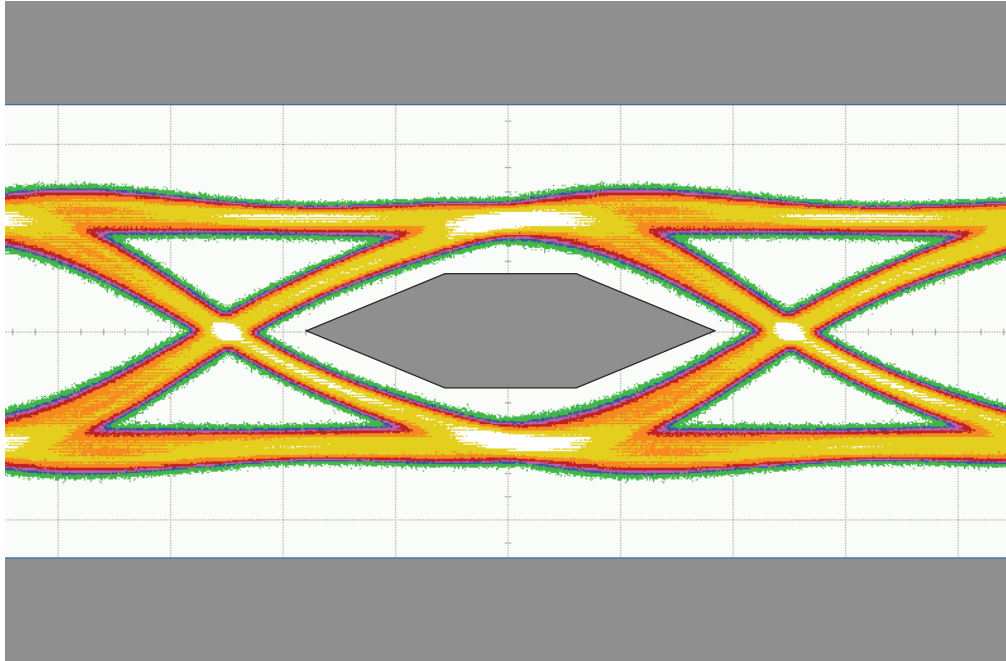


Figura 4.11 - Diagrama de Ojo de Semilla 2 después de 10 iteraciones.

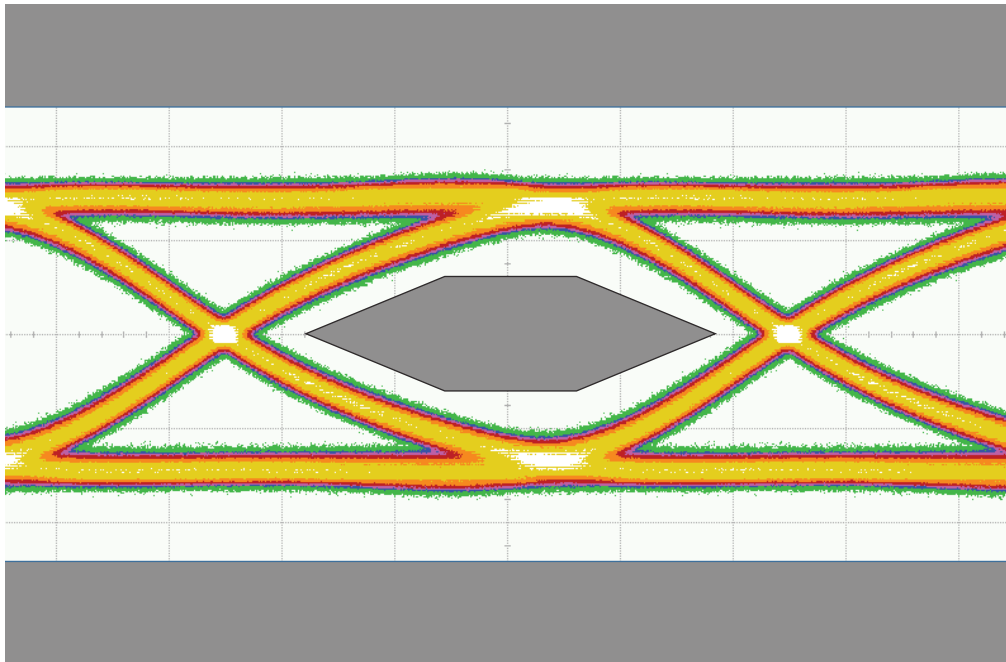


Figura 4.12 - Diagrama de Ojo de Semilla 2 después de 28 iteraciones.

4.3 VERIFICACIÓN CON VARIACIONES DE VOLTAJE Y TEMPERATURA

Con el objetivo de verificar si el diagrama de ojo resultante de la optimización es lo suficientemente estable para tolerar cambios de temperatura y voltaje en el SoC, se analizaron tres casos de prueba:

- a) Voltaje Alto, Temperatura Baja: El SoC es estresado con una fuente de temperatura externa que lo mantiene a 0°C. El SoC recibe un incremento en su fuente de voltaje del +5%.
- b) Voltaje Típico, Temperatura Típica: El SoC es estresado con una fuente de temperatura externa que lo mantiene a 50°C. El SoC no recibe su voltaje de operación nominal.
- c) Voltaje Bajo, Temperatura Alta: El SoC es estresado con una fuente de temperatura externa que lo mantiene a 100°C. El SoC recibe un decremento en su fuente de voltaje de -5%.

Los resultados y sus referencias de diagramas de ojo son mostrados en la Tabla 4.3.

Voltaje	Temperatura	Amplitud Pico a Pico	Ancho de Ojo	Alto de Ojo	Diagrama de Ojo
Alto	Baja	1605.3	256.8	878.1	Figura 4.13
Típico	Típica	1568.4	255.9	856.2	Figura 4.14
Bajo	Alta	1537.2	255.3	840	Figura 4.15

Tabla 4.3 - Resultados con cambios de voltaje y temperatura.

La tabla muestra los porcentajes de variación de los parámetros del diagrama de ojo, con respecto a su valor típico, son mostrados en la Tabla 4.4.

Voltaje	Temperatura	% de Variación (Amplitud Pico a Pico)	% de Variación (Ancho de Ojo)	% de Variación (Alto de Ojo)
Alto	Baja	+2.4 %	+0.4%	+2.5%
Bajo	Alta	-2.0%	-0.2%	-2.0%

Tabla 4.4 - Porcentaje de Variación con cambios de voltaje y temperatura.

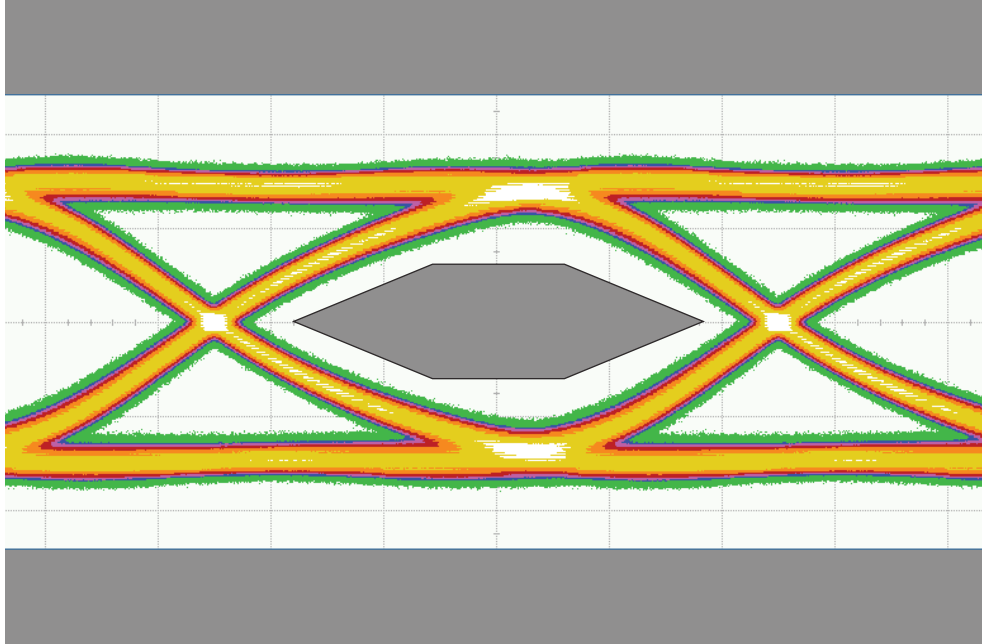


Figura 4.13 - Diagrama de Ojo en condición de Voltaje Alto y Temperatura Baja.

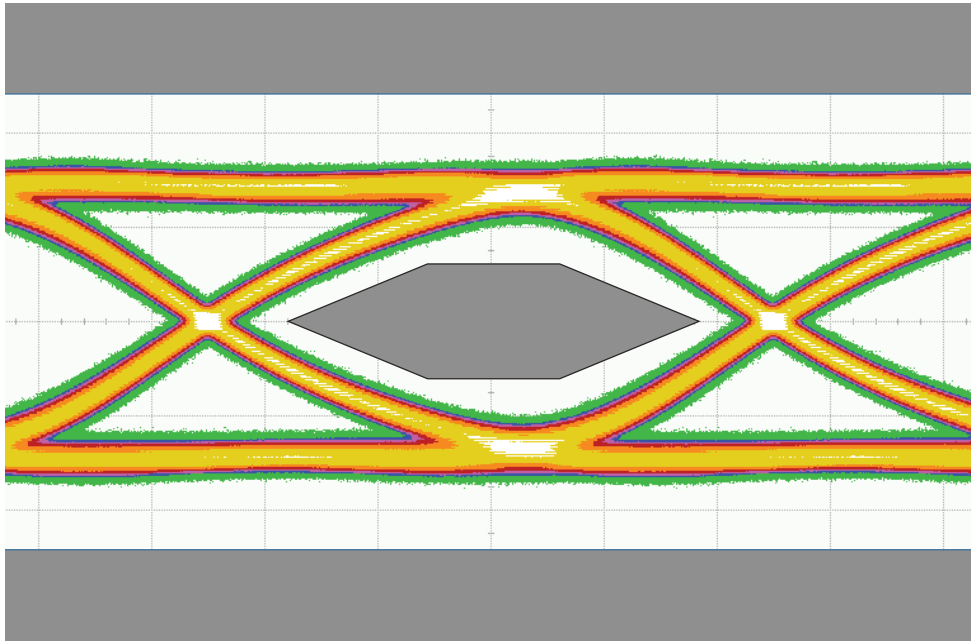


Figura 4.14 - Diagrama de Ojo en condición de Voltaje y Temperatura Típicos.

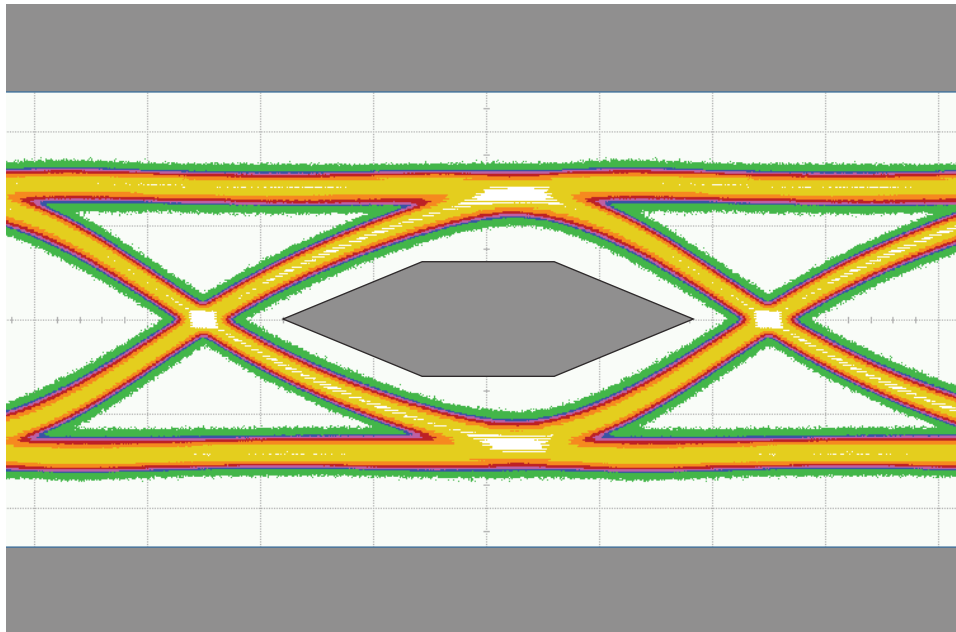


Figura 4.15 - Diagrama de Ojo en condición de Voltaje Bajo y Temperatura Alta.

4.4 GRÁFICAS DE OPTIMIZACIÓN DE COEFICIENTES DE ECUALIZACIÓN

Las gráficas mostradas en la Figura 4.16 y Figura 4.17 permiten visualizar el comportamiento de la optimización de coeficientes de ecualización para dos semillas diferentes. Ambas semillas muestran también una repetibilidad casi idéntica con respecto a sus valores de coeficientes al finalizar sus iteraciones.

Para el caso de la Semilla 1 (Figura 4.16), los coeficientes de ecualización iniciales parten con valores diferentes. Se puede observar que el algoritmo de optimización no considero necesario variar el coeficiente C_M , por lo que no muestra movimiento comparado con los otros coeficientes C_0 y C_P .

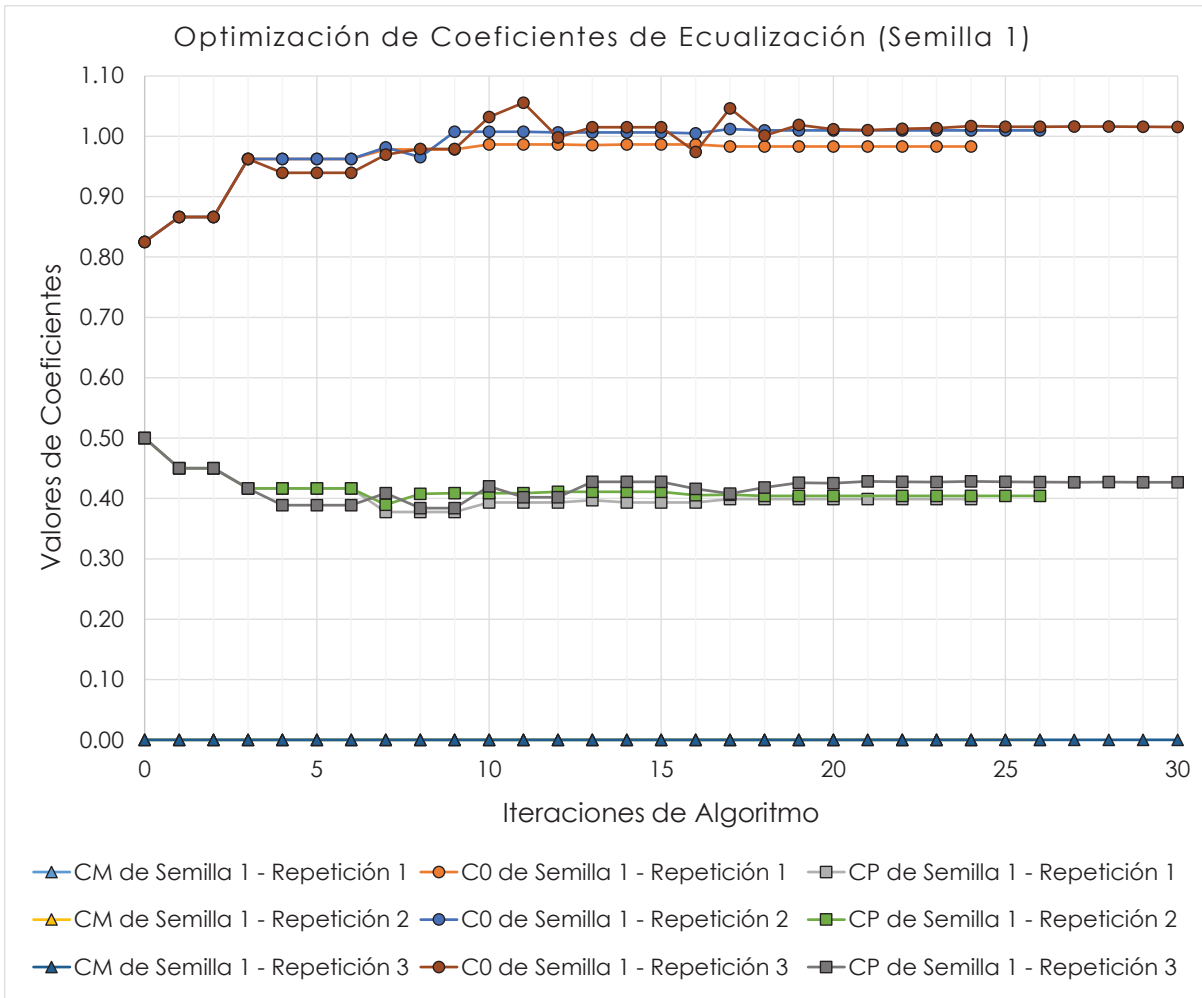


Figura 4.16 - Repetibilidad de los Coeficientes de Ecuación con Semilla 1.

Con respecto a la Semilla 2, los coeficientes iniciales parten con el mismo valor en común. En esta gráfica (Figura 4.17), se puede observar que durante las iteraciones, los valores de los coeficientes comienzan a separarse y se mantienen con el mismo valor después de alrededor de 15 iteraciones. La repetibilidad también puede ser observada por cada uno de los casos, y al final la convergencia de la optimización resulta en valores de coeficientes de optimización similares.

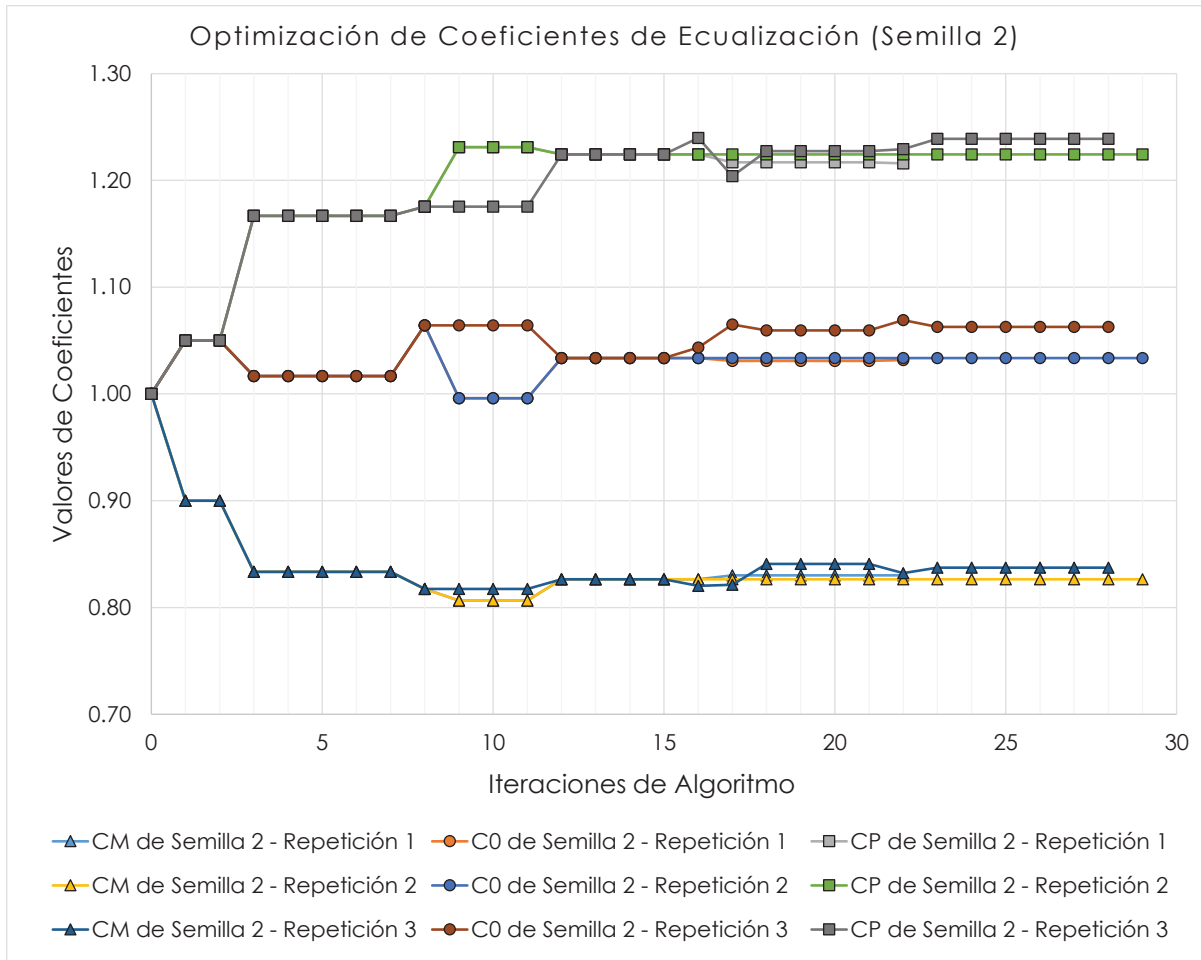


Figura 4.17 - Repetibilidad de los Coeficientes de Ecuación con Semilla 2.

4.5 GRÁFICAS DE OPTIMIZACIÓN DE LA FUNCIÓN OBJETIVO

La gráfica mostrada en la Figura 4.18 demuestra la minimización de la función objetivo durante las iteraciones de optimización. Los valores de la función objetivo dependen directamente de la combinación de coeficientes de ecuación y de su variación en la medición de los parámetros de sus diagramas de ojo y jitter.

Al inicio de la optimización, los valores de la función objetivo para las dos semillas analizadas (Semilla 1 y Semilla 2), se encuentran con valores adimensionales de entre 1.8 y 2.1, y luego finalizan lo más cerca de 0 (o incluso un poco debajo de 0).

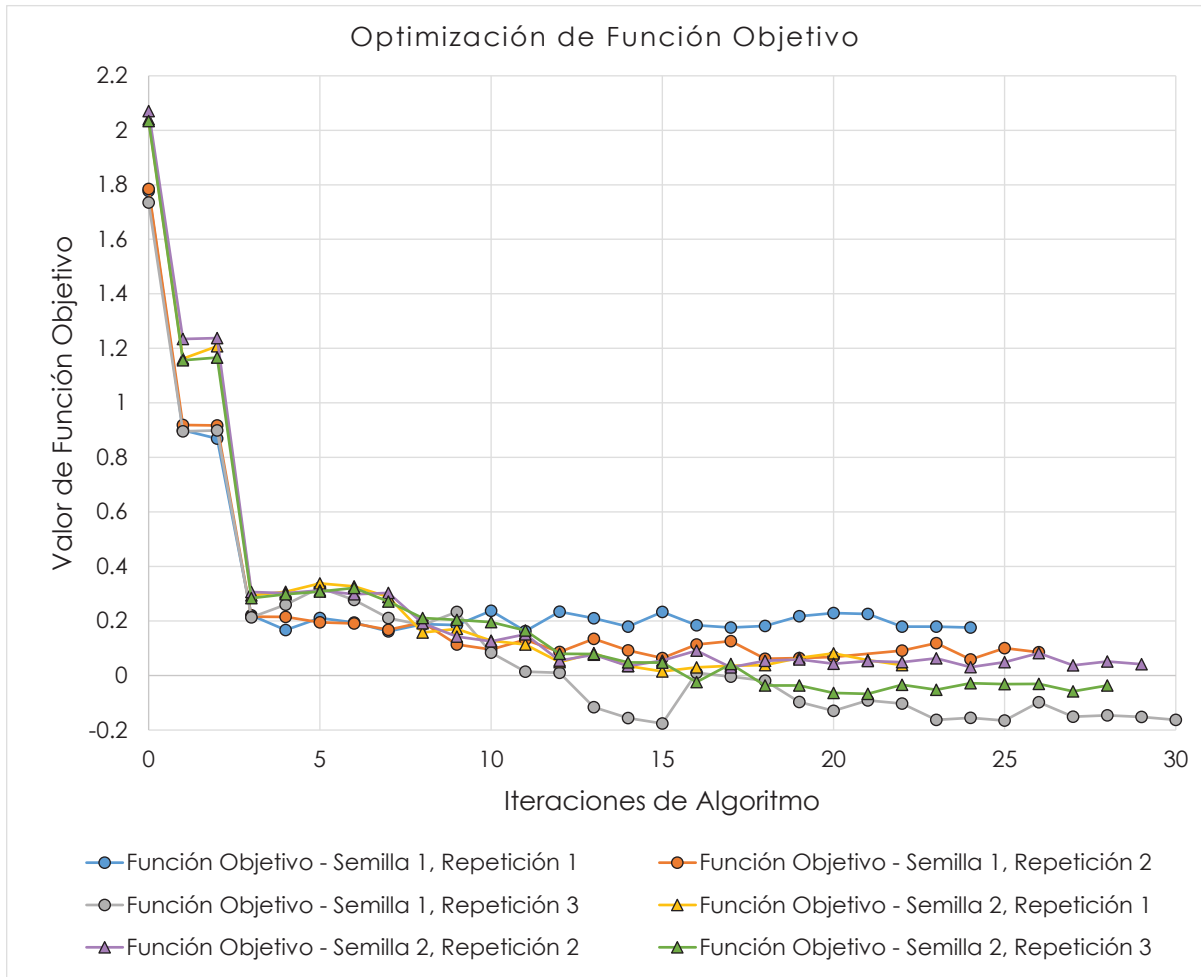


Figura 4.18 - Comportamiento de la minimización de la Función Objetivo.

4.6 DESEMPEÑO DE LA OPTIMIZACIÓN

Para demostrar el desempeño de la optimización (ver Figura 4.19), se consideraron los parámetros de iteraciones de algoritmo (eje vertical), las evaluaciones de función (eje horizontal superior) y el tiempo en minutos que le tomo en terminar al algoritmo de optimización (eje horizontal inferior). El mejor tiempo de optimización (Semilla 2 - Repetición) resulto en alrededor de 1.5 horas, con un total de 22 iteraciones de algoritmo. El caso que tomo un poco más de tiempo tardo alrededor de 2 horas (Semilla 1 – Repetición 3), con un total de 30 iteraciones.

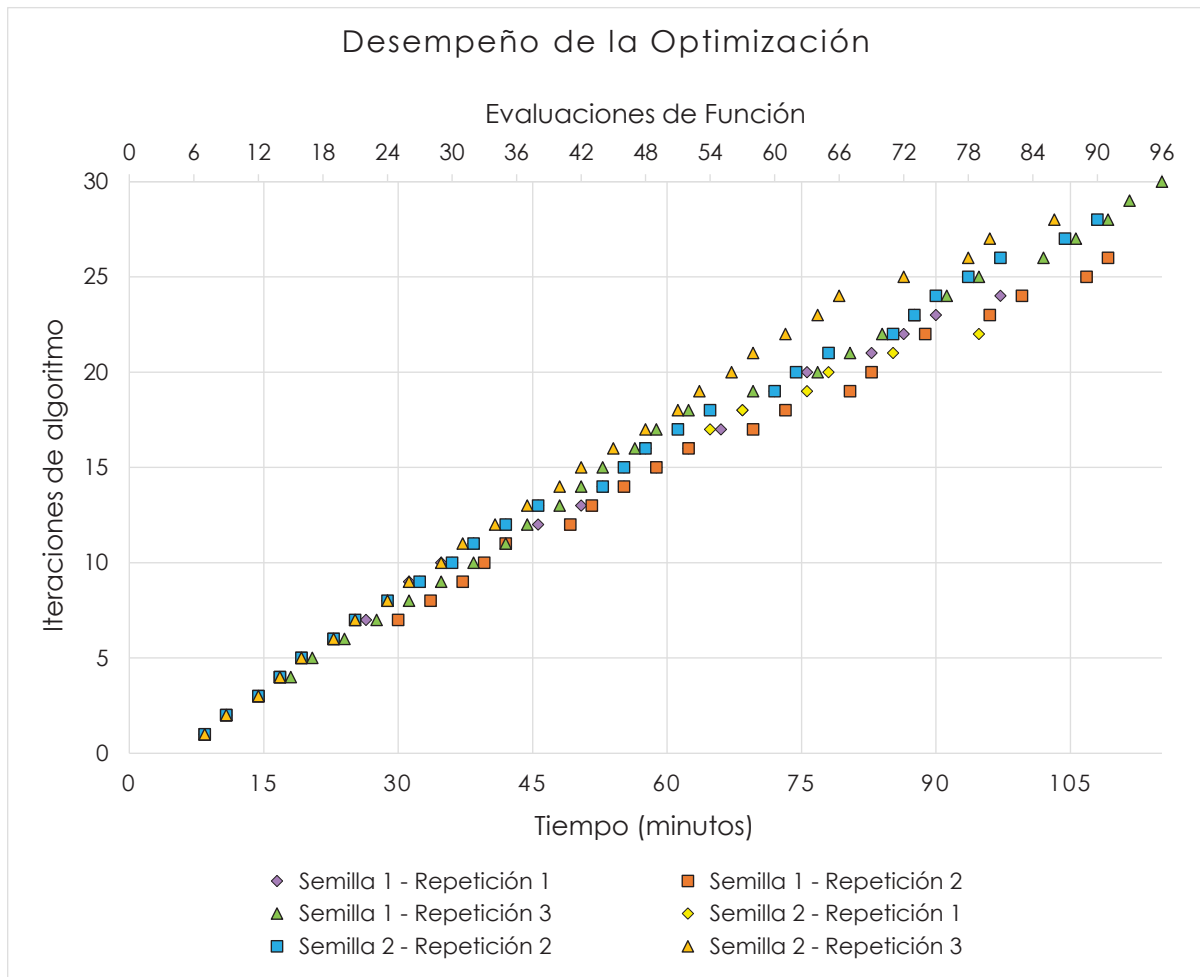


Figura 4.19 - Desempeño del Algoritmo de Optimización.

4.7 APOORTE DE EFICIENCIA DEL ALGORITMO DE OPTIMIZACIÓN

El algoritmo de optimización propuesto en esta investigación ha demostrado grandes ventajas de eficiencia. Al compararlo con métodos de optimización anteriormente usados durante las diferentes fases e iteraciones de la validación post-silicio en diversos proyectos de SoC, se identificaron reducciones significativas de tiempo en la búsqueda de la combinación óptima de coeficientes de ecualización, que permita cumplir con las especificaciones de integridad de señal en el transmisor.

Se analizó el trabajo requerido en horas para optimizar los coeficientes de ecualización de un transmisor de alta velocidad (10.3125 Gbps) para 2 proyectos diferentes. La Tabla 4.5 muestra el tiempo tomado para optimizar los coeficientes de

ecualización en dos proyectos diferentes (nombrados I y II) de la manera tradicional y con el algoritmo de optimización desarrollado en esta investigación.

Los porcentajes de reducciones de tiempo con el algoritmo de optimización son significativos, ya que lograron acelerar la optimización de los coeficientes de ecualización del transmisor alrededor en un 96%.

Proyecto	Optimización	Tiempo (horas)	Reducción de Tiempo (%)
I	Tradicional	40	-
II	Tradicional	38	-
I	Algoritmo	1.8	95.50%
II	Algoritmo	1.5	96.05%

Tabla 4.5 - Comparativo de optimización tradicional vs. algoritmo de optimización.

5 CONCLUSIONES

La presente tesis tuvo como objetivo primordial diseñar e implementar un algoritmo de optimización para la sintonización de los circuitos de ecualización de un transmisor en un SoC.

Al inicio de la tesis, se realizó una investigación del estado del arte para la sintonización de los circuitos de ecualización en el transmisor (véase sección 2.1). Se pudo obtener información de varias fuentes en donde la sintonización es llevada únicamente en etapas tempranas del diseño del SoC (pre-silicio).

En esas etapas iniciales de diseño, los valores de los coeficientes de ecualización que se obtienen son a nivel simulación las cuales consideran una cantidad limitada de variables como el canal de transmisión, la temperatura y las variaciones en el voltaje o proceso de fabricación. Estas técnicas de sintonización en ambientes simulados, aun estando limitadas en variables, pueden tardar miles de horas para llegar a un valor óptimo de coeficientes de ecualización en el transmisor de alta velocidad.

Aun así, la sintonización hecha a nivel de simulación está limitada a cierto número de casos específicos y muchas veces los valores que se obtienen no son los óptimos para escenarios reales de una validación real o post-silicio.

Con el algoritmo de optimización desarrollado en esta investigación de tesis, y en conjunto con la formulación de una función objetivo, la sintonización del transmisor de alta velocidad (10.3125 Gbps) en un ambiente real, se redujo a dos horas (véase 4.7 y Tabla 4.5). Para esto, fue necesario automatizar un osciloscopio de tiempo real para hacer las mediciones necesarias de histogramas en los diagramas de ojo de las diferentes combinaciones de coeficientes generados durante la optimización.

Los coeficientes de ecualización del transmisor a 10.3125 Gbps fueron comprobados utilizando la máscara del diagrama de ojo de su especificación eléctrica (véase secciones 4.1, 4.2 y 4.3). La robustez y la repetibilidad de la optimización fueron

comprobadas utilizando dos diferentes valores iniciales de coeficientes de ecualización (semillas). Los coeficientes arrojados por el algoritmo al finalizar la optimización cumplieron satisfactoriamente la máscara (véase Tabla 4.1).

Además, el método de optimización propuesto en esta tesis, puede también ser aplicado en la sintonización de coeficientes de ecualización cada vez que sea requerido por el ingeniero de pruebas para llegar a los valores óptimos para todos y cada uno de los diferentes proyectos en los que esté involucrado.

Finalmente, la mayor contribución en el área de validación de SoC, es que los tiempos de sintonización del transmisor de alta velocidad, se reducen drásticamente a un par de horas que agilizarán la entrega de SoC al mercado.

6 RECOMENDACIONES

Durante el proceso de investigación, fue de interés para otros equipos de validación post-silicio dentro de Intel® el uso de la metodología de optimización basada en el algoritmo desarrollado en esta tesis, ya que existen otras diferentes interfaces de comunicación en donde se puede aplicar.

Se sugiere tomar como base la formulación de la función objetivo y la optimización de coeficientes de ecualización del transmisor por medio del método de Nelder-Mead (véase 3.2 y 3.3), para ser aplicada a otras especificaciones eléctricas de mediciones de máscara con otros rangos de velocidad.

Los resultados obtenidos en esta investigación (véase capítulo 4) deben ser usados como referencia únicamente, para el caso exclusivo de interfaces de comunicación con una tasa de transferencia de 10.3125 Gbps con protocolo de comunicación SFI.

Una de las aplicaciones futuras, que pudieran ser desarrolladas con base a esta investigación de tesis, estaría enfocada ahora en la parte de recepción de datos. Existen circuitos que pueden ser sintonizados en el receptor de alta velocidad, y que en lugar de ser medidos externamente con un osciloscopio, pueden medirse internamente con base a lecturas de registros de dichos circuitos. Se podría desarrollar una formulación de función objetivo con base al ancho y al alto de un margen de diagrama de ojo interno.

7 REFERENCIAS BIBLIOGRÁFICAS

- [1] F. Rangel-Patino, A. Viveros-Wacher, J. E. Rayas-Sanchez, E. A. Vega-Ochoa, I. Duron-Rosales, y N. Hakim,. *A Holistic Formulation for System Margining and Jitter Tolerance Optimization in Industrial Post-Silicon Validation*. Puerto Vallarta, Mexico : IEEE MTT-S Latin America Microwave Conf. (LAMC-2016), 2016.
- [2] Y. S. Cheng, y R. B. Wu. Direct Eye Diagram Optimization for Arbitrary Transmission Lines Using FIR Filter. *IEEE Transactions on Components, Packaging and Manufacturing Technology*. 2011, Vol. 1, 8.
- [3] R. Alhamdani, M.L. Loero, B. Meakin y J. Kemp, y B. Kent. *Analysis and Optimization of Multi Gb/s Chip-to-Chip Communication*. Utha, USA : ECE University of Utha, 2008.
- [4] X. Wang, y Q. Hu. *Analysis and Optimization of Combined Equalizer for High Speed Serial Link*. US : IEEE 9th International Conference on Anti-counterfeiting, Security, and Identification (ASID), 2015. ISBN 978-1-4673-7140-7.
- [5] Y. Fan, y Z. Zilic. *Accelerating Test, Validation and Debug of High Speed Serial Interfaces*. New York : Springer, 2010. ISBN 978-90-481-9397-4.
- [6] Ochoa-Gallardo, R. *Reducing Post-Silicon Coverage Monitoring Overhead with Emulation and Statistical Analysis*. Vancouver : University of British Columbia, 2015.
- [7] Mozhikunath, R. *Verification, Validation, Testing of ASIC/SOC designs – What are the differences?* [<http://anysilicon.com/verification-validation-testing-asicsoc-designs-differences/>] Bangalore : Anysilicon, 2016.
- [8] Bertacco, V. *Post-silicon Debugging for Multi-core Designs*. Taipei, Taiwan : 15th Asia and South Pacific Design Automation Conference (ASP-DAC), 2010. ISBN 978-1-4244-5767-0.
- [9] S. Mitra, S.A. Seshia, y N. Nicolici. *Post-silicon validation opportunities, challenges and recent advances*. Anaheim, California : Proceedings of the 47th Design Automation Conference, 2010. ISBN 978-1-4503-0002-5.
- [10] M. J. Flynn, y W. Luk. *Computer System Design: System-on-Chip*. New Jersey : John Wiley & Sons, Inc., 2011. ISBN 978-0-470-64336-5.
- [11] Greaves, D.J. *System on Chip: Design and Modeling*. Cambridge : University of Cambridge, 2011. Computer Science Tripos: Part II.
- [12] W. Cesário, A. Baghdadi, L. Gauthier, D. Lyonnard, G. Nicolescu, Y. Paviot, S. Yoo, M. Diaz-Nava, y A.A. Jerraya. *Component-Based Design Approach for Multicore*

- SoCs. New Orleans : Proc. of 39th Design Automation Conference, 2002.
- [13] N. Dutt, y S. Pasricha. *On-Chip Communication Architectures*. Burlington, MA. USA : Morgan Kaufmann, 2010. 9780080558288.
- [14] Intel-Corporation. Intel Custom Foundry IP Offerings. [En línea] 01 de 01 de 2015. [Citado el: 31 de 01 de 2016.]
<http://www.intel.com/content/www/us/en/foundry/ip-offering.html>.
- [15] Chen, D. *SerDes Transceivers for High-speed Serial Communications*. Ottawa, Canada : Carleton University, 2008.
- [16] Engineering-BV, Salland. *Integrated Solutions for High Volume Testing of Ultra-fast SerDes Applications*.
[http://www.salland.com/media/65070/tech_paper_serdes_testing_overview_web.pdf] 2012.
- [17] D. R. Stauffer, J. T. Mechler, M. Sorna, K. Dramstad, C. R. Ogilvie, A. Mohammad, y J. Rockrohr. *High Speed SerDes Devices and Applications*. New York : Springer, 2008. ISBN 978-0-387-79833-2.
- [18] Li, M. P. *Jitter, Noise, and Signal Integrity at High-Speed*. New Jersey : Prentice Hall, 2007. ISBN: 9780132429610.
- [19] Stephens, R. *Equalization: The Correction and Analysis of Degraded Signals*. USA : Agilent Technologies, 2005. 5989-3777EN.
- [20] H. Zhang, S. Krooswyk, y J. Ou. *High Speed Digital Design: Design of High-Speed Interconnects and Signaling*. s.l. : Morgan Kaufmann, 2015. ISBN: 9780124186637.
- [21] Anritsu-Corporation. *Understanding Eye Pattern Measurements*. USA : s.n., 2010. Application Note No. 11410-00533, Rev. A.
- [22] ON-Semiconductor. *Understanding Data Eye Diagram Methodology for Analyzing High Speed Digital Signals*. AND9075/D.
- [23] Keysight. Using Eye Diagrams. [En línea] Keysight, 8 de Diciembre de 2016. [Citado el: 13 de Febrero de 2017.]
http://na.support.keysight.com/plts/help/WebHelp/Analyzing/Analyzing_Data_using_Eye_Diagrams.html.
- [24] D. Derickson, y M. Muller. *Digital Communications Test and Measurement: High-Speed Physical Layer Characterization*. New York, USA : Prentice Hall, 2007. ISBN-13: 978-0133359480.

- [25] Weise, T. *Global Optimization Algorithms: Theory and Application*. Germany : IT Weise, 2009.
- [26] Hardesty, L. MIT News Office. [En línea] Massachusetts Institute of Thecnology, 21 de Enero de 2015. [Citado el: 6 de Marzo de 2017.] <http://news.mit.edu/2015/optimizing-optimization-algorithms-0121>.
- [27] E. K. P. Chong, y S. H. Zak. *An Introduction to Optimization*. s.l. : Wiley, 2013. SBN: 978-1-118-27901-4.
- [28] J. H. Mathews, y K. D. Fink. *Numerical Methods using Matlab*. s.l. : Prentice Hall, 2004. ISBN-13: 978-0130652485.
- [29] Grešovnik, I. *Simplex algorithms for nonlinear constraint optimization problems*. Ljubljana : s.n., 2009. Technical Report - Revision 0.
- [30] Wright, M. H. *Nelder, Mead, and the Other Simplex Method*. New York, USA : Courant Institute of Mathematical Sciences, 2012. Documenta Mathematica - Extra Volume ISMP.
- [31] I. Duron-Rosales, F. Rangel-Patino, J. E. Rayas-Sanchez, J. L. Chavez-Hurtado, y N. Hakim. *Reconfigurable FIR Filter Coefficient Optimization in Post-Silicon Validation to Improve Eye Diagram for Optical Interconnects*. Cozumel, Mexico : IEEE - Tenth International Caribbean Conference on Devices, Circuits And Systems (ICCDCS 2017)., 2017.
- [32] Tektronix. *12 Things to Consider When Choosing an Oscilloscope*. US : Tektronix, 2012. 48X-28633-0.